

**Advanced parallel array processor (APAP).**

Patent  
Number: ☐ EP0570950, A3

Publication  
date: 1993-11-24

Inventor(s): COLLINS CLIVE ALLAN (US); GRICE DONALD GEORGE (US); KOGGE PETER MICHAEL (US); KUCHINSKI DAVID CHRISTOPHER (US); LESMEISTER DONALD MICHAEL (US); NIER RICHARD EDWARD (US); RICHARDSON ROBERT REIST (US); ROLFE DAVID BRUCE (US); SMORAL VINCENT JOHN (US); WILKINSON PAUL AMBA (US); BARKER THOMAS NORMAN (US); DAPP MICHAEL CHARLES (US); DIEFFENDERFER JAMES WARREN (US); KNOWLES BILLY JACK (US); MILES RICHARD ERNEST (US); RETTER ERIE EUGENE (US); SCHOONOVER NICHOLAS JEROME (US); STUPP JAMES ROBERT (US)

Applicant(s): IBM (US)

Requested  
Patent: ☐ JP6231092

Application  
Number: EP19930108192 19930519

Priority  
Number(s): US19920887630 19920522



IPC  
Classification: G06F15/16

EC  
Classification: G06F9/38E4, G06F15/173N4D

Equivalents: JP2710536B2

**Abstract**

A parallel array processor is formed. Eight processors on a single chip have their own associated processing element, memory, and I/O and are interconnected with a hypercube based topology. These nodes are then interconnected, either by a hypercube, modified hypercube, or ring, or ring within ring network topology. The new architecture merges processor and memory with multiple PMEs in DRAM and has no memory access delays and

uses all the pins for networking. The chip can be a single node of a fine-grained parallel processor.  

Data supplied from the esp@cenet database - I2

(11)特許番号

第2710536号

(24)登録日 平成9年(1997)10月24日

### 技術表示箇所

390 Z

請求項の数 4 (全 72 頁)

(33)優先權主張国 米国 (US)

## 前置審査

(73)特許権者 390009531

インターナショナル・ビジネス・マシー  
ンズ・コーポレーション

INTERNATIONAL BUSINESS  
MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72)発明者 トマス・ノーマン・バーカー

アメリカ合衆国13850、ニューヨーク州  
ヴェスタル、サンセット・アベニュー  
136

(74)代理人 弁護士 坂口 博 (外1名)

審査官 石井 茂和

[最終頁に続く](#)

(54) 【発明の名称】 コンピュータ・システム

1

(57) 【特許請求の範囲】

【請求項1】 制御ユニットと、相互接続システムと、分配システムによって接続処理ノードと相互接続されたノードとを有する、並列処理用処理システムを備える、プロセス・システムであって、

前記制御は、以下が、ボウラがミンドが可能であり、処理要素のレイアウト有する制御レイアウトが協調して動作できることを示す、かつ、スプレッドシートが過剰なレイアウトを動作できることに関する手段を含む、印刷制御方法として実施される。本発明は、印刷制御方法、印刷装置及び印刷システムに適用可能である。

[illegible]

2

及び製品の搬送を可能に、

相互接続システムが、データ伝送に関連する諸機能能、処理手段の諸要素間で分配、分配された機能が、処理手段・システム間で互いに埋め込まれ、

地理情報系が、非営用企業及び公益財団・NPOを提供し、地理情報・システム及びGISシステムなどのサービスを展開するに区分でき、かつ地理情報系企業・団体の数が増えている。地理情報系企業、公益財団・NPOの数は、

10. 【解】(1) 由题设知,  $\lim_{n \rightarrow \infty} \frac{1}{n} \ln \frac{1}{n} = 0$ , 故  $\lim_{n \rightarrow \infty} \frac{1}{n} \ln \frac{1}{n} = 0$ .

[illegible][illegible]

4

並列処理用コンピュータ・システム。

10

20

【 0 0 0 1 】

30

【 0 0 0 2 】

【従来の技術】はじめに、本明細書で用いられる用語について説明する。

【 0 0 0 3 】 · ALL

ALUとは、マイクロプロセッサの演算論理回路部分である。

【0004】・176・

40

素)の集合体である。データ並列コンピュータ処理におけるアレイ要素は、動作を割り当てることができ、並列状態のとき、それぞれ独立にかつ並列に必要な動作を実行できる要素である。一般に、アレイは処理要素の格子と考えることができる。アレイの各セクションに区分データを割り当てることにより、区分データを規則的な格子パターン内で移動することができる。ただし、データに索引を付け、あるいはデータをアレイ中の任意の位置に割り当てることが可能である。

【0005】・ $\frac{1}{2}$ ・ $\frac{1}{2}$ ・ $\frac{1}{2}$ ・ $\frac{1}{2}$

アレイ・ディンクタは、アレイの制御プログラムにしてプログラミンがされる単位である。アレイ・ディンクタは、アレイとしてアレイされた機能要素のグループのマスター制御プログラムとしての機能を果たす。

【0006】・アムステルダム・プロトコール

アレイ・プロセスには主に2つ、複数命令複数データ方式(MIMD)と単一命令複数データ方式(SIMD)の2種類がある。MIMDアレイ・プロセスでは、アレイ中の各処理要素が、それ自体のデータを使ってそれ自体の固有の命令ストリームを実行する。SIMDアレイ・プロセスでは、アレイ中の各処理要素が、共通の命令ストリームを介して同一の命令に限定される。ただし、各処理要素に関連するデータは固有である。本発明の好ましいアレイ・プロセスは他にも特徴がある。本明細書では、これを拡張並列アレイ・プロセスと呼び、AAPAという略語を使用する。

【 0 0 0 7 】 · 第 三 章

非同期的とは、規則的な時間関係がないことである。すなわち、各機能の各行間の関係が予測不能であり、各機能の各行間に規則的または予測可能な時間関係が存在しない。制御状況では、制御プログラムは、データが、アドレスされている媒体要素を持っているとき、制御が渡される位置にアドレッシングする。このため、諸操作が、どの事象にも時間が一致しないのに順次進行のままである。

【0008】・BOPS GOPS

BOPSまたはGOPSは、1割増しより1割減りの動作  
と、同様に意味が略称である。GOPSを参照された  
こと。

【0009】· 中国现代 晋语方言

[illegible]
$$\begin{bmatrix} 0 & 0 & 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 \end{bmatrix}.$$
$$f_{\text{eff}} = f \left( 1 + \frac{\alpha}{\beta} \right) \quad \text{for } \alpha/\beta > 0 \quad (1)$$



## 8

【0023】・G254ト

【0024】・GIGAFLOPS

1. 当为  $0.1 \times 10^6$  个浮動小数点命令

【0025】・GOPSおよびETAOPS

10

【 0 0 2 6 】 · I S A

27

【0027】 · 329

302

【 0 0 2 8 】 · M F L O P S

46

$$[0029] \cdot \text{M1 + M1D}$$
$$\left[ \begin{pmatrix} 0 & 0 \\ 0 & 0 \end{pmatrix}; \begin{pmatrix} 0 \\ 0 \end{pmatrix} \right] = \begin{pmatrix} 0 & 0 \\ 0 & 0 \end{pmatrix}.$$

【0031】・2004年

一般に、ノードとはリンクの接合部である。PEの汎用アンビでは、1つのPEをノードとすることができる。ノードはまた、マルチノードというPEの集合体を含むこともできる。本発明では、ノードはPMEのアンビから形成されており、この1組のPMEをノードと称する。ノードは8個のPMEであることが好ましい。

【0032】・パート・マレイ

PMEから構成されるサブユニットの集合体をノード・アレイと呼ぶことがある。これは、サブユニットから構成されるノードのアレイである。ノード・アレイは通常、2、3個より多いPMEであるが、この用語は複数を包含する。

[ 0 0 3 3 ] · P D E

PDE<sub>1</sub>は、偏微分方程式である。

【0034】・PDE 恒等解法<sup>10</sup> = 117

PDE等和解法では、PDE（偏微分方程式）を解く方法である。PDEを解くには、既知分野におけるスーパー・コンピュータの計算能力の大半を使用し、時間がかかってはじめて解が得られる好適となる。PDE方程式を解く方法は多数あり、複数の数値解法に強和弱が盛みされている。たとえば、PDEを有限要素法で解く場合、強和の計算に大部分の時間が費やされる。熱伝達分野の例を考えてみよう。煙突内に高温のガスがあり、外では冷たい風が吹いているとする。煙突のセグメント内の温度勾配はどのようになるだろうか。レンガを小さなセグメントとみなし、セグメント間を熱がどのように流れるかを温度差の関数として表す方程式を書くと、伝熱PDEが有限要素問題に変換される。ここで、内側と外側の要素を除くすべての要素が室温であり、境界セグメントが高温のガスと冷たい風の温度であるとする。強和を開始する外側の問題ができていく。その後、レンガセグメント・エクスポートでは、セグメントに流れ込む、あるいはセグメントから流れ出る熱量に基づいて各セグメント内の温度変数を更新することになり、時間を進めるとする。煙突における1組の温度変数を緩和して、物理的な理由で無効な実際の温度分布を表すには、境界で中心にあるセグメントを他種材料で置きかえて計算を繰り返す必要がある。目的が煙突、または他の全断面の温度分布を求めたい場合、諸要素を気体で置き換えて計算を繰り返す必要がある。これは、伝熱要素の有限要素法では、セグメントを材料で置き換えて計算を繰り返す必要がある。結果として、煙突中の温度分布が得られ、伝熱が計算できる。留給システムを設計するとき、PDE問題の解決は、煙突の温度分布を決定する。PDE問題の

22

列計算にうまく適用できるのは、この近隣接通信パターンまたは特性による。

#### 【0035】・ピケット

これは、アレイ・プロセッサを構成する要素のアレイ内の要素である。この要素は、データ・フロー（ALU REGS）、メモリ、制御機構、通信やトリックスのこの要素と関連する部分から構成される。この単位は、並列プロセッサ要素およびメモリ要素と、その制御機構およびアレイ相互通信機構の一部から成るアレイ・プロセッサの1/nを指す。ピケットは、プロセッサ・メモリ要素（PME）の1つの形である。本発明のPMEチップ設計プロセッサ論理回路は、関連出願に記載されているピケット論理を実施し、あるいはノードとして形成されたプロセッサ・アレイ用の論理を持つことができる。ピケットという用語は、処理要素を表す、一般的に使用されているアレイ用語のPEと似ており、好ましくはピケット並列バイトの情報をクロック・サイクルで処理するための処理要素とローカル・メモリの組合せからなる、処理アレイの要素である。好ましい実施例は、バイト幅データ・フロー・プロセッサ、32バイト以上のメモリ、原始制御機構、および他のピケットとの通信機構から構成されている。

【0036】「ピケット」という用語は、トム・クーパーと、彼の白いフェンスに由来している。ただし、機能的には、軍隊のピケット・サインと類似性があることも理解される。

#### 【0037】・ピケット・チップ

ピケット・チップは、単一のシリコン・チップ上に複数のピケットを含んでいる。

【0038】・ピケット・プロセッサ・システム（またはサブシステム）

ピケット・プロセッサは、ピケットのアレイと、通信ネットワークと、入出力システムと、マイクロプロセッサ、キャッシュ・ユニット・プロセッサ、およびアレイを実行するマイクロコントローラから成るSIMD制御装置とから構成されるトータル・システムである。

#### 【0039】・ピケット・アーキテクチャ

ピケット・アーキテクチャは、SIMDアーキテクチャの好ましい実施例であり、次のような含む複数の多様な問題に対処できる機能をもつ。

・行列・連想処理

・並列数値中心処理

・システムに類似した物理的レイアウト

#### 【0040】・ピケット・マシン

ピケット・マシンは、物理的・論理的に、システム全体のシステム全体であり、制御装置、メモリ、およびデータ・バスを含む。

#### 【0041】・PME中な2つのアレイ・メモリ・要素

PMEは、アレイ・メモリ・要素とメモリ・要素とを含む。PMEは、アレイ・メモリ・要素とメモリ・要素とを含む。PMEは、アレイ・メモリ・要素とメモリ・要素とを含む。

および入出力可能なシステム要素もしくはユニットを指すのに使用する。PMEは、ピケットを包含する用語である。PMEは、プロセッサ、それと結合されたメモリ、制御インタフェース、およびアレイ通信ネットワーク機構の一部分から成るプロセッサ・アレイの1/nである。この要素は、ピケット・プロセッサにおけるように、正規のアレイの接続性を持つPME、あるいは上述の多重PMEノードにおけるように、サブアレイの一部としてのPMEを備えることができる。

#### 10 【0042】・経路指定

経路指定とは、メッセージを宛先に届けるための物理経路を割り当てることである。経路の割り当てには、発信元と宛先が必要である。これらの要素またはアドレスは、一時的な関係または類似性を持つ。メッセージの経路指定は、しばしば、割り当てのテーブルを参照することによって得られるキーに基づいて行われる。ネットワーク内では、宛先は、リンクを識別する経路制御アドレスによって、伝送される情報に宛先としてアドレス指定される。任意のメッセージまたはネットワークのアドレス指定可能ユニットである。宛先アドレスは、メッセージ・ヘッダ宛先ノードで宛先を識別する。

#### 20 【0043】・SIMD

アレイ内のすべてのプロセッサが、同一命令ストリームから、1処理要素当たり1つずつ配置された複数データ・ストリームを実行するように指令を受ける、プロセッサ・アレイ・アーキテクチャ。

#### 【0044】・SIMDMIMDまたはSIMD-MIMD

SIMDMIMDまたはSIMD-MIMDとは、ある時間の間MIMDからSIMDに切り換えて複雑な命令を処理できる二重機能を持ち、したがって2つのモードを持つマシンを指す用語である。シンキング・マシンズ社（Thinking Machines, Inc）の接続マシン（Connection Machine）モデルCM-2はMIMDMIMDマシンのフロント・エンド部分はバス・エンドとして配置すると、プログラマは、二重モードにも対応する、複数のモードを動作させてある問題の別々の部分を実行することができた。このマシンは、ILLIAC以来存在しており、バスを使用してマスターCPUと他のプロセッサ相互接続している。マスター制御プロセッサは、他のCPUに処理に割り込む能力を持つ。他のCPUは、独立してプログラム・モードを実行できる。他のCPUは、独立してプログラム・モードを実行できる。他のCPUは、独立してプログラム・モードを実行できる。

#### 40 【0045】・SIMMIMD

SIMMIMDは、アレイ・メモリ・要素とメモリ・要素とを含む。SIMMIMDは、アレイ・メモリ・要素とメモリ・要素とを含む。SIMMIMDは、アレイ・メモリ・要素とメモリ・要素とを含む。

データ従属演算が、SIMD命令ストリームによって制御される。

【0046】これは、SIMD命令ストリームを使用して複数命令ストリーム（1ピケット当たり1個）を順序付けし、複数データ・ストリーム（1ピケット当たり1個）を実行することの可能な、単一命令ストリーム・マシンである。SIMDは、PMEシステムによって実行できる。

#### 【0047】・SISD

SISDは、単一命令単一データの略語である。

#### 【0048】・スワッピング

スワッピングとは、ある記憶域のデータ内容を別の記憶域のデータ内容と相互に交換することをいう。

#### 【0049】・同期動作

MIMDマシンにおける同期動作は、各アクションがある事象（通常はクロック）に関係付けられる、動作モードである。この事象は、プログラム・シーケンス中で規則的に発生する、指定された事象とすることができ、動作は多数の処理要素に分散され、それらの処理要素はそれぞれ独立して機能を実行する。動作が完了しないかぎり、制御は制御装置に返されない。

【0050】要素が機能ユニットのアンビに於けるものである場合、アンビ内の要素に制御装置から要求が出され、その要素は、制御装置に制御が返される前に動作を完了しなければならぬ。

#### 【0051】・TERAFLOPS

TERAFLOPSは、1秒当たりの10<sup>12</sup>回の浮動小数点命令を意味する。

#### 【0052】・VLSI

VLSIとは、（集積回路に適用される）超大規模集積の略語である。

#### 【0053】・チップ

チップとは、新規に提供される、シリコン構成の通常の相互接続回路網にある装置からチップを確立するための機能である。

【0054】以上は、本発明の背景となる技術について述べる。本発明では、コンピュータの高速化を求め、要求の中で、数倍、ときには数千もの低コスト・マイクロプロセッサを並列に用いて、スーパー・コンピュータを構築し、今日のマシンには手の負えない複雑な問題を解決しようとしている。その主な理由は、大規模並列マシンが提供されている。本発明等は大規模並列システムを構築する新しい方法を開発した。本発明等が従来多数の改良は、他の大規模並列計算装置と異なして存在するものである。

【0055】此外、動作中の多数のチップは、数十個から存在する。初期の改良では、1960年代の開始から、ILLIACが1970年代の1970年代、ILLIAC-IVが構築された。この中で、ILLIAC-IVは1975年3月4日（特開第508500号）

は、シーダ(Cedar)、シグマ1(Sigma-1)、バタフライ・アンド・ザ・モナーク(the Butterfly and the Monarch)、インテルipsc(the Intel ipsc)、コネクション・マシンズ(The Connection Machines)、カルテック・コスミック(the Caltech COSMIC)、Nキューブ(the N Cube)、IBMのRP3、IBMのGF11、NYUウルトラ・コンピュータ(the NYU Ultra Computer)、インテル・デルタ・アンド・タッチストーン(the Intel Delta and Touchstone)などがある。

【0056】ILLIACから始まる大規模多重プロセッサは、スーパーコンピュータとみなされている。商業的にもっとも大きな成功を収めたスーパーコンピュータは、複数のバクトル・プロセッサに基づくものであり、クレイ・リサーチ(Cray Research)Y-MPシステム、IBM 3090、ならびにアムダール(Amdahl)、日立、富士通、NECなどその他の製造業者のマシンがその代表である。

【0057】大規模並列プロセッサ(MPP)は現在、スーパーコンピュータとなる能力を有するとみなされている。これらのコンピュータ・システムは、相互接続ネットワークによって多数のマイクロプロセッサを集成し、これらのマイクロプロセッサが並列して動作するようにプログラムされる。これらのコンピュータの動作モードは2つある。すなわち、MIMDモード・マシンとSIMDモード・マシンとがある。これらのマシンの中で商業的にもっとも成功したのは、シシキ・システムズのコネクション・マシン・シリーズ1および2である。これは基本的に、SIMDマシンである。大規模並列マシンの多くは、並列に相互接続されたマイクロプロセッサを使用して、並行性、すなわち並列動作能力を得ている。1860などのインテル・マイクロプロセッサは、インテル社その他が使用してきている。Nキューブ社では、インテル386マイクロプロセッサを用いた大規模並列マシンを構築している。他に、いわゆる「トランジスタ・チップ」を使って構築されたマシンもある。インモス・トランジスタ・インモス(Immos Transputer)IMS-T800はその一例である。インモス・トランジスタ・T800は32ビット装置であり、1/4な超高速浮動小数点プロセッサを備えている。

【0058】構築されるシステムの種類の例を挙げると、たとえば、複数のインモス・トランジスタ・T800チップが、それぞれ32個の通信リンクを介して32個の出力を有する。各チップは、最小のメモリ、小規模のメモリ、高速のメモリ、通信リンクを有する。さらに、システムは変換して、IMS-C01とC01-2など、通信リンク・システムが要求される。IMS-C001とC001-2は、32個の通信リンクを介して32個の出力を有する。IMS-C001-2は、32個の通信リンクを介して32個の出力を有する。IMS-C001-2は、32個の通信リンクを介して32個の出力を有する。

14

10

20

30

10

11

[illegible]



**【0068】** 基板(7)は、厚み $t_1=1.4\sim 1.4mm$ のシリコン(Si)、CMOS  
IC、PLA、LTPS等の半導体素子を含む。また、基板(7)には、電極パター

【0071】ここでは、本発明の新しい、新しい概念を表す拡張並列プロセス・プロセッサ（APAP）と、簡単に（固有の部品数が減らされて少ない）非常に高性能のものとして可能な規模並列プロセス（MPP）を開発する際の努力について概説する。本発明のプロセッサは、好ましい実施例ではVLSIチップで実装されている。このチップでは、 $n$ 個のPMEマイクロコンポーネントを統合している。“ $n$ ”は、最大レイアウト数を表す。チップにはさらに、無線通信一般型インタフェース（BCI）と、チップ上のPME間での内部通信経路および、外部チップ・システム回路増設への節間通信経路を備えている。好ましい実施例では、8個のPME（存在し、または多く設置することもできる）、1つのBCIを有している。 $n$ 個のPMEと1つのBCIが、チップに実装される。このチップは、SIMD型とMIMD型の両方であり、一重SIMD-MODEL、多重モード種別など、あるいはSIM/MMD複合方式で機能することができる。これは、従来のような可能なこと、可変サイズのサブユニットの動的な再構成が可能であることは、従来は達成できなかったことである。また、チップの面積も削減され、PMEの密度は増加する。これは、従来のチップ設計と比較して、チップ面積あたりに多くのPMEを収めることができることを示している。

ロケツサまたはパーソナル・コンピュータ・レベル、ワークステーション・レベル、ビジョンまたはビデオエクス・レベルで代表される特殊アプリケーション・レベルの多重並列マイクロコンピュータ機能を提供する。また、完全に拡張すると、スーパーコンピュータの範囲に及び強力なギガビット性能をもつさらに高いレベルの機能が提供される。複製すると並列クラスタとなる、高度に拡張されたDRAMチップを1つ使用することにより、単純さが実現される。このため、チップ数、さらにマイクロの数を減らすことにより、部品数が抑えられ、コストまたは性能上のニーズに対するスケーリング能力が提供できる。

【００７２】本発明の手法によれば、一連のアプリケーションジョブを並列に処理する！という要件を満たす属性をもつマシンが提供できる。本発明の、サブチップ・レベルで並列化を実施する方法により、重量、体積、反復コストおよび予備品在庫コストが抑えられる。

【 0 0 7 3 】 本発明の様々なサイズのスチステムはすべて統一のチップを基にして構成されることで、ソフトウェア・ハードウェアはあらゆるサイズのシステムに共通である。このため、すべてがチップ（マイクロプロセッサ）、航空宇宙、およびマイクロプロセッサ（マイクロ）で交換可能な（小規模なマイクロプロセッサ）チップ上で実行する）開発ソフトウェアが可能となる。すなわち、すべてが規模なしのチップ上で実行するシステムを実行し、マイクロプロセッサ（マイクロ）チップ上でプログラムを開発することができ、

【0074】本発明の技術の實施は、ハイパーテキストが、  
 1. 技術、性能、コスト、および認識面で課されて  
 2. いる今日の要件を満たすとともに、将来、システム  
 3. の拡張が可能である。本発明のMPP手法は、チップ・シ  
 4. ンクルから出発するので、まずチップ技術について説明し、  
 5. 最後にアーキテクチャ・コンピュータ・アプレケーションにつ  
 6. いて特述する。

【0075】物理の問題、相互接続の問題、およびアーキテクチャの問題はすべて、パケット内で直接処理される。諸機能が単一のチップ設計に統合されているおかげで、このチップ設計は、処理、経路指定、記憶、および他の種々の出力においてチップが効果を示すのに十分な強力な柔軟な機能を提供する。相互接続ネットワークは、システムアーキテクチャに通常使用の入出力インターフェイスを制御するために、最小の長さのリンク直径を提供する。このアーキテクチャは新規性があり、よく知られる。S-LIMDとMLIMDの間には、コスト削減が必要になる。これは、この設計では、可能な限りMLIMD型よりもS-LIMD型の中間機能の直接的な提供を必要とする必要があるためである。これは、本発明の目的を達成し、本発明の利点を最大限まで生かすものである。

図1は、本発明の好ましい実施例中の一次制御ユニットを示している。この図は、本発明の好ましい実施例の一例であり、本発明の範囲を限定するものではない。図1は、本発明の好ましい実施例の一例であり、本発明の範囲を限定するものではない。

三六

【００７６】拡張並列アレイ・プロセッサ（ＡＰＡＰ）は、密並列プロセッサである。ＡＰＡＰは、パーソナル・コンピュータ処理アプリケーションによるスーパーコンピュータ処理に適した構成が満足されるように、区分可能な制御セクションおよび処理セクションから構成されている。大部分の構成では、これはホスト・プロセッサに接続され、ホストの作業負荷の各セグメントへのオフロードをサポートする。ＡＰＡＰアレイ処理要素は汎用コンピュータなので、オフロードされる作業負荷の種類は、ホストの機能に応じて変わる。たとえば、本発明のＡＰＡＰは、１ＥＭ ３０９０ベクトル・プロセッサ・マイクロフレームのモジュールとすることができる。高性能ベクトル浮動小数点機能を備えたマイクロフレームに接続する場合は、オフロードされるタスクが疎密行列変換であってよい。また、パーソナル・コンピュータに接続する場合は、オフロードされるタスクが数値計算中心の３次元図形処理であってよい。

【 0 0 7 7 】 'Parallel Associative Processor System' と題する米国特許出願第 0 7 - 6 1 1 5 9 4 号では、  
 1. 一つのチップと、チップを制御論理回路を同一チップ内に  
 結合し、チップ間でチップ組合せを複製して、単一チップ  
 の複製からプロセッサ・システムを構築する、という考え  
 が記載されており、必要により参照されたい。この手法  
 は、本発明で示唆され拡張されて、以下に 1 種類のチップ  
 を用いる必要がなくなるだけで、大規模な処理機能が  
 実装でき、チップ境界交差が削減され速度が向上する  
 のと共に低コスト向上した、システムが提供される。

【0078】1990年11月13日出願の米国特許出願第07-611594号では、1次元入出力構造(基本的に線形入出力)を、チップ内で複数回SIMD-PMEを該構造に取り付けて利用することが記載されており、必要により参照されたい。この実施例では、これらの概念を2次元以上に拡張している。次に、1チップ当たり8個のSIMD-MIMD-PMEを備えた4次元入出力構造について説明する。(1)が、要図4、図10、図11、図17、および図18に関して説明するより、これらも次元数、または次元当たりPMEを備えることが可能である。本発明の処理要素は、任意の順で実行されるべきタスクを異なる次元の入出力ユニットを備えている。例えば、実施例の図1では、主として、1チップ当たり8個のSIMD-MIMD-PMEが備えられた主として1次元入出力構造を取り上、なる。本発明者等々者では、現在この構造は、有利である。従って、本発明は、比較すれば、より高次元数、すなわち次元当たりのPMEを有し、より集中した設計が可能であることを示す。以下に、本発明は、1次元から多次元までの各次元、特に、2次元、3次元、4次元、5次元、6次元、7次元、8次元、9次元、10次元、11次元、12次元、13次元、14次元、15次元、16次元、17次元、18次元、19次元、20次元、21次元、22次元、23次元、24次元、25次元、26次元、27次元、28次元、29次元、30次元、31次元、32次元、33次元、34次元、35次元、36次元、37次元、38次元、39次元、40次元、41次元、42次元、43次元、44次元、45次元、46次元、47次元、48次元、49次元、50次元、51次元、52次元、53次元、54次元、55次元、56次元、57次元、58次元、59次元、60次元、61次元、62次元、63次元、64次元、65次元、66次元、67次元、68次元、69次元、70次元、71次元、72次元、73次元、74次元、75次元、76次元、77次元、78次元、79次元、80次元、81次元、82次元、83次元、84次元、85次元、86次元、87次元、88次元、89次元、90次元、91次元、92次元、93次元、94次元、95次元、96次元、97次元、98次元、99次元、100次元、101次元、102次元、103次元、104次元、105次元、106次元、107次元、108次元、109次元、110次元、111次元、112次元、113次元、114次元、115次元、116次元、117次元、118次元、119次元、120次元、121次元、122次元、123次元、124次元、125次元、126次元、127次元、128次元、129次元、130次元、131次元、132次元、133次元、134次元、135次元、136次元、137次元、138次元、139次元、140次元、141次元、142次元、143次元、144次元、145次元、146次元、147次元、148次元、149次元、150次元、151次元、152次元、153次元、154次元、155次元、156次元、157次元、158次元、159次元、160次元、161次元、162次元、163次元、164次元、165次元、166次元、167次元、168次元、169次元、170次元、171次元、172次元、173次元、174次元、175次元、176次元、177次元、178次元、179次元、180次元、181次元、182次元、183次元、184次元、185次元、186次元、187次元、188次元、189次元、190次元、191次元、192次元、193次元、194次元、195次元、196次元、197次元、198次元、199次元、200次元、201次元、202次元、203次元、204次元、205次元、206次元、207次元、208次元、209次元、210次元、211次元、212次元、213次元、214次元、215次元、216次元、217次元、218次元、219次元、220次元、221次元、222次元、223次元、224次元、225次元、226次元、227次元、228次元、229次元、230次元、231次元、232次元、233次元、234次元、235次元、236次元、237次元、238次元、239次元、240次元、241次元、242次元、243次元、244次元、245次元、246次元、247次元、248次元、249次元、250次元、251次元、252次元、253次元、254次元、255次元、256次元、257次元、258次元、259次元、260次元、261次元、262次元、263次元、264次元、265次元、266次元、267次元、268次元、269次元、270次元、271次元、272次元、273次元、274次元、275次元、276次元、277次元、278次元、279次元、280次元、281次元、282次元、283次元、284次元、285次元、286次元、287次元、288次元、289次元、290次元、291次元、292次元、293次元、294次元、295次元、296次元、297次元、298次元、299次元、300次元、301次元、302次元、303次元、304次元、305次元、306次元、307次元、308次元、309次元、310次元、311次元、312次元、313次元、314次元、315次元、316次元、317次元、318次元、319次元、320次元、321次元、322次元、323次元、324次元、325次元、326次元、327次元、328次元、329次元、330次元、331次元、332次元、333次元、334次元、335次元、336次元、337次元、338次元、339次元、340次元、341次元、342次元、343次元、344次元、345次元、346次元、347次元、348次元、349次元、350次元、351次元、352次元、353次元、354次元、355次元、356次元、357次元、358次元、359次元、360次元、361次元、362次元、363次元、364次元、365次元、366次元、367次元、368次元、369次元、370次元、371次元、372次元、373次元、374次元、375次元、376次元、377次元、378次元、379次元、380次元、381次元、382次元、383次元、384次元、385次元、386次元、387次元、388次元、389次元、390次元、391次元、392次元、393次元、394次元、395次元、396次元、397次元、398次元、399次元、400次元、401次元、402次元、403次元、404次元、405次元、406次元、407次元、408次元、409次元、410次元、411次元、412次元、413次元、414次元、415次元、416次元、417次元、418次元、419次元、420次元、421次元、422次元、423次元、424次元、425次元、426次元、427次元、428次元、429次元、430次元、431次元、432次元、433次元、434次元、435次元、436次元、437次元、438次元、439次元、440次元、441次元、442次元、443次元、444次元、445次元、446次元、447次元、448次元、449次元、450次元、451次元、452次元、453次元、454次元、455次元、456次元、457次元、458次元、459次元、460次元、461次元、462次元、463次元、464次元、465次元、466次元、467次元、468次元、469次元、470次元、471次元、472次元、473次元、474次元、475次元、476次元、477次元、478次元、479次元、480次元、481次元、482次元、483次元、484次元、485次元、486次元、487次元、488次元、489次元、490次元、491次元、492次元、493次元、494次元、495次元、496次元、497次元、498次元、499次元、500次元、501次元、502次元、503次元、504次元、505次元、506次元、507次元、508次元、509次元、510次元、511次元、512次元、513次元、514次元、515次元、516次元、517次元、518次元、519次元、520次元、521次元、522次元、523次元、524次元、525次元、526次元、527次元、528次元、529次元、530次元、531次元、532次元、533次元、534次元、535次元、536次元、537次元、538次元、539次元、540次元、541次元、542次元、543次元、544次元、545次元、546次元、547次元、548次元、549次元、550次元、551次元、552次元、553次元、554次元、555次元、556次元、557次元、558次元、559次元、560次元、561次元、562次元、563次元、564次元、565次元、566次元、567次元、568次元、569次元、570次元、571次元、572次元、573次元、574次元、575次元、576次元、577次元、578次元、579次元、580次元、581次元、582次元、583次元、584次元、585次元、586次元、587次元、588次元、589次元、590次元、591次元、592次元、593次元、594次元、595次元、596次元、597次元、598次元、599次元、600次元、601次元、602次元、603次元、604次元、605次元、606次元、607次元、608次元、609次元、610次元、611次元、612次元、613次元、614次元、615次元、616次元、617次元、618次元、619次元、620次元、621次元、622次元、623次元、624次元、625次元、626次元、627次元、628次元、629次元、630次元、631次元、632次元、633次元、634次元、635次元、636次元、637次元、638次元、639次元、640次元、641次元、642次元、643次元、644次元、645次元、646次元、647次元、648次元、649次元、650次元、651次元、652次元、653次元、654次元、655次元、656次元、657次元、658次元、659次元、660次元、661次元、662次元、663次元、664次元、665次元、666次元、667次元、668次元、669次元、670次元、671次元、672次元、673次元、674次元、675次元、676次元、677次元、678次元、679次元、680次元、681次元、682次元、683次元、684次元、685次元、686次元、687次元、688次元、689次元、690次元、691次元、692次元、693次元、694次元、695次元、696次元、697次元、698次元、699次元、700次元、701次元、702次元、703次元、704次元、705次元、706次元、707次元、708次元、709次元、710次元、711次元、712次元、713次元、714次元、715次元、716次元、717次元、718次元、719次元、720次元、721次元、722次元、723次元、724次元、725次元、726次元、727次元、728次元、729次元、730次元、731次元、732次元、733次元、734次元、735次元、736次元、737次元、738次元、739次元、740次元、741次元、742次元、743次元、744次元、745次元、746次元、747次元、748次元、749次元、750次元、751次元、752次元、753次元、754次元、755次元、756次元、757次元、758次元、759次元、760次元、761次元、762次元、763次元、764次元、765次元、766次元、767次元、768次元、769次元、770次元、771次元、772次元、773次元、774次元、775次元、776次元、777次元、778次元、779次元、780次元





続された小規模システムは、プログラマ開発ステーションとして機能し、あるいはベクトル化浮動小数点プロセッサ接続機構または3次元グラフィックス・プロセッサをエミュレートすることができる。

【実施例】次に本発明について詳述する。図１および２は、トランスピュータＴ８００チップで例示され、タッ  
チスロー・デボルト（１８６０）、Ｎキューブ（３８  
６）などのマシン用の同様のチップを代表する、既存の  
技術レベルを示す。図１および２を本発明で開発された  
システムと比較すると、本発明を使用することにより、  
従来のシステムのようなシステムを大幅に改善できるだけ  
でない、従述のように、新規の強力なシステムも構築で  
きることが理解されよう。図１および２の従来型の現在  
のマイクロプロセッサ技術では、ピンおよびメモリを大  
量に使用する。帯域幅が限定され、チップ間通信によっ  
てシステム性能が下がる。

6) などのマシンの用と同様のチップを代表する、既存の技術レベルを示す。図1および2を本発明で開発されたシステムと比較すると、本発明を使用することにより、従来システムのようなシステムを大幅に改善できるだけでなく、従述のように、新規の強力なシステムも構築できることが理解されよう。図1および2の従来型の現在のマイクロプロセッサ技術では、ピンおよびクモリを大量に使用する。帯域幅が限定され、チップ間通信によってシステム性能が下がる。

【 0 0 9 6 】 図 3 に表す 1 の革新的新規技術では、プロセス、メモリ、入出力機構を組み合わせて、単一の低出力 CMOS DRAM チップ上に形成された複数の PME（それぞれに、メモリ・アクセス遅延がなく、それぞれがネットワーク・利用にすぐての能力）を使用する。8 個以上（16 ビット・アドレス）とする。このシステムは、上記で参照した関与の概念と、本発明の同時出願、別個に記載されており、本明細書、記載するシステムに適用可能な発明の概念とを利用することによってできる。したがって、これらの関与と本出願を参照により本明細書に組み込む。プロセス、自律性、透過性、プロセス相互作用、非同期 SIMD、SIMIMD、または SIMD-MIMD など本発明の概念はすべて、この新規技術で使用できる。また、利益は少ないながらも、定来技術のシステム中で使用することも、本発明者等が定来の多重バケット・プロセスと組み合わせて使用することもできる。

【0097】本発明のビカム・システムでは、このプロセスが使用できる。本発明の基本概念は、組込み型メモリ、マイクロプロセッサ、および出力機構を有する、マイクロコントローラである。本発明の新規要素は、これはこの基本構成をシステム用の新規の基本的構成単位となお複製可能にすることを提供している点にある。この基本的構成単位は、スケーラブルなものである。本発明に適用した基本プロセスでは、4ミクロメートルCMOS DEAMを使用する。このプロセスは、拡張すれば、16ミクロメートルDEAMSまたは64ミクロメートル、あるいは任意のより大規模な基本構成に使用できる。各々の基本構成単位は、独立して動作し、配置密度を調整でき、従って、特に、必要に応じて、任意の数の基本構成単位を、任意の位置に配置できる。また、この基本構成単位は、PREFETCH（プリフェッチ）回路、外部メモリ、および他の周辺機能を含むことができる。PREFETCH回路は、上記の1ミクロメートルCMOSプロセスで製造され、PETAOP（プログラマブルオペレーション）回路も同様に製造される。

Figure 1. PFTAOPE and its polymerization mechanism.



プログラム・タイプを取り上げる。最低レベルでは、プロセスはユーザ・プログラム（あるいは、アプリケーションと呼び出されるサブプロ）を詳細なハードウェア要件に適合させる。このレベルは、入出力およびプロセス間同期化を管理するのに必要なタスクを含み、MPP用のマイクロプログラムと呼ぶことができる。中間レベルのサービスでは、MPPのマッピング・アプリケーション（バクトル演算および行列演算を用いて開発される）、制御機能、同期化機能、起動機能、診断機能が使用できる。ホスト・レベルでは、MPPへの単純な自動データ割振りまたはユーザの調整するデータ割振りによってバクトル化プログラムをサポートする、ライブラリ機能によって高位言語がサポートされる。多重レベル・ソフトウエア手法を用いると、アプリケーションが単一のプログラム内で様々な程度の制御および最適化を利用することができる。したがって、ユーザは、アプリケーションの詳細を理解せずにアプリケーション・コード・プログラムをコンパイルすることができ、オブジェクトサイズ、プログラムの、小規模で使用率の高いユーザ向けをマイクロ・レベルで調整する。

【0106】1024要素5GIPS装置および32768要素164GIPS装置について述べている。この節では、可能なシステム範囲を示す。ただし、それらは制限的なものではなく、これら・小型な装置およびそれら・大規模な装置・表現可能である。これらの特定のサブシステムを例として選択したのは、小型な装置は、マイクロプロセッサ（マイクロプロセッサ）、パーソナル・コンピュータ、データベース、データベース・エンジン、および軍事データベース（4）（異なる異なるパッケージング技術を使用）に適用され、大規模な装置は、マイクロプロセッサ・システム・アーキテクチャ・アーキテクチャまたは完全なスーパーコンピュータ・システムの実例であることを示すためである。このセクションの説明では、各例示・システムで効果的に使用可能な他の挑戦がいくつかある作業の例を提供する。

[illegible]

れさせてプログラミングができるため、普通ならはるかに長いプロセスを必要とする動作が、このシステムで実行可能になる。これら3つの属性があいまって、広範なシステム性能が可能になる。

【0108】本発明の新規技術は、それと一部共通する従来の技術を拡張した場合と比較して行うことができる。アークチャの小型化を利用して、プロセス設計者が手での複雑化を進め、メモリ設計者が単純な要素の複製の拡大化を図ってきたことは明白である。この傾向が続くなら、メモリが4倍の規模になり、プロセスの密度が向上してさらに、が表現できる一予想される。

1. 命令ルーチを持つ複数の実行ユニットを備える。
2. キャッシュ・ユニットと関連機能を増大する。
3. 命令が読みを増加し、計算機能を向上する。

【0110】本発明の新規の方法では付随りはない。図3以降の図表は本説明で示すように、本発明では大規模なメカトリック入出力機構を組み合わせて単一のチップを形成する。本発明の新規の方法では必要な部品数が減少し、チップ実装に伴う遅延がなくなる。さらに重要なことに、本発明の新規の方法を用いると、すべてのチップの入出力端子をすべて同一半導体通信専用にして、ネットワーク帯域幅が最大になることがわかる。

【0111】図3に示す好ましい実施例を実施するため、1T1R低出力CMOS技術を用い、現在利用可能なプロセスを使用する。この実施例は、自導型金属酸化膜半導体(CMOS)においてCMOS—DRAM密度で実現でき、かつ低・密のCMOSで実現できる。この実施例では、CMOS回路で高圧供給によって、プロセス上にあるようにPMEを低出力の1T2Rセルから、8T2Rセルを増やすことによって、この高圧供給は、4T2RのCMOS—DRAM、1T2R、2T2R、3T2R、4T2R、5T2R、6T2R、7T2R、8T2R、9T2R、10T2R、11T2R、12T2R、13T2R、14T2R、15T2R、16T2R、17T2R、18T2R、19T2R、20T2R、21T2R、22T2R、23T2R、24T2R、25T2R、26T2R、27T2R、28T2R、29T2R、30T2R、31T2R、32T2R、33T2R、34T2R、35T2R、36T2R、37T2R、38T2R、39T2R、40T2R、41T2R、42T2R、43T2R、44T2R、45T2R、46T2R、47T2R、48T2R、49T2R、50T2R、51T2R、52T2R、53T2R、54T2R、55T2R、56T2R、57T2R、58T2R、59T2R、60T2R、61T2R、62T2R、63T2R、64T2R、65T2R、66T2R、67T2R、68T2R、69T2R、70T2R、71T2R、72T2R、73T2R、74T2R、75T2R、76T2R、77T2R、78T2R、79T2R、80T2R、81T2R、82T2R、83T2R、84T2R、85T2R、86T2R、87T2R、88T2R、89T2R、90T2R、91T2R、92T2R、93T2R、94T2R、95T2R、96T2R、97T2R、98T2R、99T2R、100T2R、101T2R、102T2R、103T2R、104T2R、105T2R、106T2R、107T2R、108T2R、109T2R、110T2R、111T2R、112T2R、113T2R、114T2R、115T2R、116T2R、117T2R、118T2R、119T2R、120T2R、121T2R、122T2R、123T2R、124T2R、125T2R、126T2R、127T2R、128T2R、129T2R、130T2R、131T2R、132T2R、133T2R、134T2R、135T2R、136T2R、137T2R、138T2R、139T2R、140T2R、141T2R、142T2R、143T2R、144T2R、145T2R、146T2R、147T2R、148T2R、149T2R、150T2R、151T2R、152T2R、153T2R、154T2R、155T2R、156T2R、157T2R、158T2R、159T2R、160T2R、161T2R、162T2R、163T2R、164T2R、165T2R、166T2R、167T2R、168T2R、169T2R、170T2R、171T2R、172T2R、173T2R、174T2R、175T2R、176T2R、177T2R、178T2R、179T2R、180T2R、181T2R、182T2R、183T2R、184T2R、185T2R、186T2R、187T2R、188T2R、189T2R、190T2R、191T2R、192T2R、193T2R、194T2R、195T2R、196T2R、197T2R、198T2R、199T2R、200T2R、201T2R、202T2R、203T2R、204T2R、205T2R、206T2R、207T2R、208T2R、209T2R、210T2R、211T2R、212T2R、213T2R、214T2R、215T2R、216T2R、217T2R、218T2R、219T2R、220T2R、221T2R、222T2R、223T2R、224T2R、225T2R、226T2R、227T2R、228T2R、229T2R、230T2R、231T2R、232T2R、233T2R、234T2R、235T2R、236T2R、237T2R、238T2R、239T2R、240T2R、241T2R、242T2R、243T2R、244T2R、245T2R、246T2R、247T2R、248T2R、249T2R、250T2R、251T2R、252T2R、253T2R、254T2R、255T2R、256T2R、257T2R、258T2R、259T2R、260T2R、261T2R、262T2R、263T2R、264T2R、265T2R、266T2R、267T2R、268T2R、269T2R、270T2R、271T2R、272T2R、273T2R、274T2R、275T2R、276T2R、277T2R、278T2R、279T2R、280T2R、281T2R、282T2R、283T2R、284T2R、285T2R、286T2R、287T2R、288T2R、289T2R、290T2R、291T2R、292T2R、293T2R、294T2R、295T2R、296T2R、297T2R、298T2R、299T2R、300T2R、301T2R、302T2R、303T2R、304T2R、305T2R、306T2R、307T2R、308T2R、309T2R、310T2R、311T2R、312T2R、313T2R、314T2R、315T2R、316T2R、317T2R、318T2R、319T2R、320T2R、321T2R、322T2R、323T2R、324T2R、325T2R、326T2R、327T2R、328T2R、329T2R、330T2R、331T2R、332T2R、333T2R、334T2R、335T2R、336T2R、337T2R、338T2R、339T2R、340T2R、341T2R、342T2R、343T2R、344T2R、345T2R、346T2R、347T2R、348T2R、349T2R、350T2R、351T2R、352T2R、353T2R、354T2R、355T2R、356T2R、357T2R、358T2R、359T2R、360T2R、361T2R、362T2R、363T2R、364T2R、365T2R、366T2R、367T2R、368T2R、369T2R、370T2R、371T2R、372T2R、373T2R、374T2R、375T2R、376T2R、377T2R、378T2R、379T2R、380T2R、381T2R、382T2R、383T2R、384T2R、385T2R、386T2R、387T2R、388T2R、389T2R、390T2R、391T2R、392T2R、393T2R、394T2R、395T2R、396T2R、397T2R、398T2R、399T2R、400T2R、401T2R、402T2R、403T2R、404T2R、405T2R、406T2R、407T2R、408T2R、409T2R、410T2R、411T2R、412T2R、413T2R、414T2R、415T2R、416T2R、417T2R、418T2R、419T2R、420T2R、421T2R、422T2R、423T2R、424T2R、425T2R、426T2R、427T2R、428T2R、429T2R、430T2R、431T2R、432T2R、433T2R、434T2R、435T2R、436T2R、437T2R、438T2R、439T2R、440T2R、441T2R、442T2R、443T2R、444T2R、445T2R、446T2R、447T2R、448T2R、449T2R、450T2R、451T2R、452T2R、453T2R、454T2R、455T2R、456T2R、457T2R、458T2R、459T2R、460T2R、461T2R、462T2R、463T2R、464T2R、465T2R、466T2R、467T2R、468T2R、469T2R、470T2R、471T2R、472T2R、473T2R、474T2R、475T2R、476T2R、477T2R、478T2R、479T2R、480T2R、481T2R、482T2R、483T2R、484T2R、485T2R、486T2R、487T2R、488T2R、489T2R、490T2R、491T2R、492T2R、493T2R、494T2R、495T2R、496T2R、497T2R、498T2R、499T2R、500T2R、501T2R、502T2R、503T2R、504T2R、505T2R、506T2R、507T2R、508T2R、509T2R、510T2R、511T2R、512T2R、513T2R、514T2R、515T2R、516T2R、517T2R、518T2R、519T2R、520T2R、521T2R、522T2R、523T2R、524T2R、525T2R、526T2R、527T2R、528T2R、529T2R、530T2R、531T2R、532T2R、533T2R、534T2R、535T2R、536T2R、537T2R、538T2R、539T2R、540T2R、541T2R、542T2R、543T2R、544T2R、545T2R、546T2R、547T2R、548T2R、549T2R、550T2R、551T2R、552T2R、553T2R、554T2R、555T2R、556T2R、557T2R、558T2R、559T2R、560T2R、561T2R、562T2R、563T2R、564T2R、565T2R、566T2R、567T2R、568T2R、569T2R、570T2R、571T2R、572T2R、573T2R、574T2R、575T2R、576T2R、577T2R、578T2R、579T2R、580T2R、581T2R、582

と、組込みプロセス要素、ルータ、および入出力機構があり、これらはすべて、論理回路用の広いスペースを持つ初の汎用、モノ・チップと考えられる。4メガCMOS DRAMに入っている。このチップは、トレンチを備えた特定のシリコンを使用して、小さなチップ表面上に大規模な記憶域を提供している。別法として、本発明の設計の各プロセスを、3.2キロビット、9ビットのDRAMメモリ(3.5、80ナノ秒)の複製16個から構築し、0.87ミクロンCMOS論理回路を使って、モノ・アレイを構成することもできる。この装置は、チップ上に、アプリケーション論理回路の120Kセル用の表面領域を割り振り、3重レベル金属配線の機能でそれをサポートするという点で独特である。図4の左側に、従来技術のカードをX印を付けて示す。

【0112】本発明の複製可能基本要素プロセッサ技術は、従来の技術に対する回答である。図4の左側の“X”印を付けた技術を検討してみると、チップおよびカードが多すぎ、無駄であることが分かる。たとえば、今日の他の発明者から提案されているチッププロセスは、文字とおおむね百万個以上のチップを有する。今日の他の技術では、これらのチップのうち真に実働するのはせいぜい数パーセントであり、残りは「ダミー」である（通常は、メモリ、オシロスコピー、インタフェースなど）。

【0113】勿論、その活動の、その環境で活動する必要性があるものがあるから、その活動により多様なサービスを提供する、その活動があることが理解される。

(面積の小さなコックピットに、つ取り付けることができるとする)。さらに、他の発明者から提案されている所管は、コックピットは、すでに大型であるが、システムコックピットの範囲に到達するには1000倍スケールアップしなければならない。本発明者等は、非実働システムの割合を劇的に減少させる解決法を有する。本発明ではこれを妥当なシステム・グループの数範囲内で提供することの新しい技術を用いる。システムは要素・データになり、システム・グループは制御・データに使用し、実働システムが大幅に増加する。さらに、システム・グループは、所管の種類の劇的に減少する。本発明のシステムは、複雑なシステム・オブジェクト、能力、主として環境上の利便なシステム・オブジェクトを設計されている。

【0111】 本發明之「 $10 \times 10$ 」光投影裝置，「 $10 \times 10$ 」表示，該裝置之輸出光之空間頻寬為每平方公分有 10 個週期，即每平方公分有 10 個週期之波長，圖 4，表示偶次光何用光路，光路構成如下，光路由 1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20、21、22、23、24、25、26、27、28、29、30、31、32、33、34、35、36、37、38、39、40、41、42、43、44、45、46、47、48、49、50、51、52、53、54、55、56、57、58、59、60、61、62、63、64、65、66、67、68、69、70、71、72、73、74、75、76、77、78、79、80、81、82、83、84、85、86、87、88、89、90、91、92、93、94、95、96、97、98、99、100、101、102、103、104、105、106、107、108、109、110、111、112、113、114、115、116、117、118、119、120、121、122、123、124、125、126、127、128、129、130、131、132、133、134、135、136、137、138、139、140、141、142、143、144、145、146、147、148、149、150、151、152、153、154、155、156、157、158、159、160、161、162、163、164、165、166、167、168、169、170、171、172、173、174、175、176、177、178、179、180、181、182、183、184、185、186、187、188、189、190、191、192、193、194、195、196、197、198、199、200、201、202、203、204、205、206、207、208、209、210、211、212、213、214、215、216、217、218、219、220、221、222、223、224、225、226、227、228、229、230、231、232、233、234、235、236、237、238、239、240、241、242、243、244、245、246、247、248、249、250、251、252、253、254、255、256、257、258、259、260、261、262、263、264、265、266、267、268、269、270、271、272、273、274、275、276、277、278、279、280、281、282、283、284、285、286、287、288、289、290、291、292、293、294、295、296、297、298、299、300、301、302、303、304、305、306、307、308、309、310、311、312、313、314、315、316、317、318、319、320、321、322、323、324、325、326、327、328、329、330、331、332、333、334、335、336、337、338、339、340、341、342、343、344、345、346、347、348、349、350、351、352、353、354、355、356、357、358、359、360、361、362、363、364、365、366、367、368、369、370、371、372、373、374、375、376、377、378、379、380、381、382、383、384、385、386、387、388、389、390、391、392、393、394、395、396、397、398、399、400、401、402、403、404、405、406、407、408、409、410、411、412、413、414、415、416、417、418、419、420、421、422、423、424、425、426、427、428、429、430、431、432、433、434、435、436、437、438、439、440、441、442、443、444、445、446、447、448、449、450、451、452、453、454、455、456、457、458、459、460、461、462、463、464、465、466、467、468、469、470、471、472、473、474、475、476、477、478、479、480、481、482、483、484、485、486、487、488、489、490、491、492、493、494、495、496、497、498、499、500、501、502、503、504、505、506、507、508、509、510、511、512、513、514、515、516、517、518、519、520、521、522、523、524、525、526、527、528、529、530、531、532、533、534、535、536、537、538、539、540、541、542、543、544、545、546、547、548、549、550、551、552、553、554、555、556、557、558、559、560、561、562、563、564、565、566、567、568、569、570、571、572、573、574、575、576、577、578、579、580、581、582、583、584、585、586、587、588、589、590、591、592、593、594、595、596、597、598、599、600、601、602、603、604、605、606、607、608、609、610、611、612、613、614、615、616、617、618、619、620、621、622、623、624、625、626、627、628、629、630、631、632、633、634、635、636、637、638、639、640、641、642、643、644、645、646、647、648、649、650、651、652、653、654、655、656、657、658、659、660、661、662、663、664、665、666、667、668、669、670、671、672、673、674、675、676、677、678、679、680、681、682、683、684、685、686、687、688、689、690、691、692、693、694、695、696、697、698、699、700、701、702、703、704、705、706、707、708、709、710、711、712、713、714、715、716、717、718、719、720、721、722、723、724、725、726、727、728、729、730、731、732、733、734、735、736、737、738、739、740、741、742、743、744、745、746、747、748、749、750、751、752、753、754、755、756、757、758、759、760、761、762、763、764、765、766、767、768、769、770、771、772、773、774、775、776、777、778、779、780、781、782、783、784、785、786、787、788、789、790、791、792、793、794、795、796、797、798、799、800、801、802、803、804、805、806、807、808、809、810、811、812、813、814、815、816、817、818、819、820、821、822、823、824、825、826、827、828、829、830、831、832、833、834、835、836、837、838、839、840、841、842、843、844、845、846、847、848、849、850、851、852、853、854、855、856、857、858、859、860、861、862、863、864、865、866、867、868、869、870、871、872、873、874、875、876、877、878、879、880、881、882、883、884、885、886、887、888、889、890、891、892、893、894、895、896、897、898、899、900、901、902、903、904、905、906、907、908、909、910、911、912、913、914、915、916、917、918、919、920、921、922、923、924、925、926、927、928、929、930、931、932、933、934、935、936、937、938、939、940、941、942、943、944、945、946、947、948、949、950、951、952、953、954、955、956、957、958、959、960、961、962、963、964、965、966、967、968、969、970、971、972、973、974、975、976、977、978、979、980、981、982、983、984、985、986、987、988、989、990、991、992、993、994、995、996、997、998、999、1000、1001、1002、1003、1004、1005、1006、1007、1008、1009、1010、1011、1012、1013、1014、1015、1016、1017、1018、1019、

のワークステーション構成は、そのような P E 実行・  
アレイ、クラスタ制御装置、およびワークステーション  
で開発されたアレイ・プロセッサ・アプリケーションも  
実行し監視するのに十分な性能を持つ I B M RISC  
システム 6000 を有することが好ましい。

【0115】プロセッサ部分ではゲート効率が非常に高いプロセッサが使用できる。プロセッサにはそのような設計が使用されているが、メモリ内で使用されたことはない。また、本発明では、MIMD基本動作とSIMD基本動作を混合できる能力を提供している。本発明のチップは、各CPUの命令バッファに代替経路を提供する、「同乗通信バス」を提供する。本発明のクラスタ制御装置は、PME内の各処理要素にコマンドを発行する。これらのコマンドをPMEに格納すれば、処理要素の動作を複数のモードで制御できる。各PMEはプログラム全体を格納する必要はなく、あるアプリケーションの処理の様々な時間に所与のタスクに適用される部分だけを格納できる。

【0116】基本プロセスが与えられている場合、プロセスと、その組合せを開発することができる。別法として、より簡単なプロセスおよび、モル、マシコまたはロボットを使用することにより、PMEの複製を2個、4個、8個、または16個を作成するための設計が可能である。ゲート・フロー幅域幅を調整するか、あるいは機能ブロック・シートをプロセス・シートに置換すると、PMEをさらに簡単にすることができる。大部分の実施例では、上記の基本PMEの複製を8回行うことが好ましい。

【0117】本発明者等がアザビドチン誘導体の調査によると、現在ところ、もっとも好ましい方法は、16ピコトンのデータ・アザビドチンおよび32Kワードのメモリを8回複製することである。このように結論した理由は、以下にありである。

1. 16ビット・ワードを用いること、命令およびアドレスの単一サイクリスでの取出しが可能になる。
2. 8個のPME（それぞれに外部ポートを備える）と、4次元トランスミット接続が可能になる。各リンク上で4個または8個のPMEを使用すること、目標とするシステム性能の範囲に属したモデルが得られる。
3. 8つの外部ポートにはチップ・コンタクト約50%が必要であり、電源、接地、および共通同期信号は削減されたチップ・コンタクトで十分である。
4. 8個のメモリバンクを64Kbitの記憶装置として構成すること、
  - a. 1バンクあたり16Kbitの記憶容量を持つことは必要なく、1バンクあたり8Kbitの記憶容量を持つことが望ましい。
  - b. 増大しない記憶容量は、設計上の利点となるため、必要に応じてメモリバンクの数を増減可能である。

【0118】 1997年12月1日 第118号 第118号 第118号



論理密度が増加できるので重要である。本発明の新規アレキセレータ（たとえば、PME用の浮動小数点演算機構）は、システム設計、ピンおよびケーブル、またはアプリケーション・コードに影響を与えずに、チップ・ハードウェアとして追加される。

【0119】その結果得られるチップのレイアウトおよびサイズ（14.59×14.63mm）を図3に示す。図4は、そのようなチップのクラスタを示している。このチップは、図5の図に示す、スタンドアロン装置用のシステム、接続バスによってマイクロアーキテクチャ・ホストに隣接して配置されるマイクロアーキテクチャ、AWACアプリケーション、およびスーパーコンピュータに接続されることのできる。このチップ技術は、システム・レベルでいくつかの利点を提供する。これによって、1ポート型の基本複製によるスケールアップ可能なMPPが開発できる。1プロセッサ当たりDRAMを2つにすると、データ・プログラムは両方に十分な記憶域が提供される。等しいサイズのSRAMでは、10倍以上の電力を消費する可能性がある。この利点により、単一チップ・プロセッサ・モジュールマシンでは典型的な、制御が大きなSIMDモードではなく、MIMDマシン・モードが使用可能になる。3.5ナノ秒以下のDRAMアクセス時間は、期待されるプロセッサ・サイクル時間を致する。CMOS論理回路は、PMEがきわめて効率的にも論理密度を提供し、かつその露出散逸電力はわずか1.3Wである（総チップ電力は、1.3×0.9（×2）=2.2W）。これらの特徴により、伝送帯域が必要な軍事用途でこのチップが使用可能になる（非軍事用途での用途はさらに容易である）。しかし、マイクロアーキテクチャおよびその他の環境には空冷式の実施例が使用できる。スタンドアロン・プロセッサは、80A×5Vの電源で構成できる。

【0120】拡張並列レイ・プロセス（APAP）の構成単位を図5および図6に示す。図5は、APAPの機能ブロック図を示している。複製のマイクロアーキテクチャ・インタフェース260は、150、160、170、180、190、200、210、220、230、240、250、260、270、280、290、300、310、320、330、340、350、360、370、380、390、400、410、420、430、440、450、460、470、480、490、500、510、520、530、540、550、560、570、580、590、600、610、620、630、640、650、660、670、680、690、700、710、720、730、740、750、760、770、780、790、800、810、820、830、840、850、860、870、880、890、900、910、920、930、940、950、960、970、980、990、1000、1010、1020、1030、1040、1050、1060、1070、1080、1090、1100、1110、1120、1130、1140、1150、1160、1170、1180、1190、1200、1210、1220、1230、1240、1250、1260、1270、1280、1290、1300、1310、1320、1330、1340、1350、1360、1370、1380、1390、1400、1410、1420、1430、1440、1450、1460、1470、1480、1490、1500、1510、1520、1530、1540、1550、1560、1570、1580、1590、1600、1610、1620、1630、1640、1650、1660、1670、1680、1690、1700、1710、1720、1730、1740、1750、1760、1770、1780、1790、1800、1810、1820、1830、1840、1850、1860、1870、1880、1890、1900、1910、1920、1930、1940、1950、1960、1970、1980、1990、2000、2010、2020、2030、2040、2050、2060、2070、2080、2090、2100、2110、2120、2130、2140、2150、2160、2170、2180、2190、2200、2210、2220、2230、2240、2250、2260、2270、2280、2290、2300、2310、2320、2330、2340、2350、2360、2370、2380、2390、2400、2410、2420、2430、2440、2450、2460、2470、2480、2490、2500、2510、2520、2530、2540、2550、2560、2570、2580、2590、2600、2610、2620、2630、2640、2650、2660、2670、2680、2690、2700、2710、2720、2730、2740、2750、2760、2770、2780、2790、2800、2810、2820、2830、2840、2850、2860、2870、2880、2890、2900、2910、2920、2930、2940、2950、2960、2970、2980、2990、3000、3010、3020、3030、3040、3050、3060、3070、3080、3090、3100、3110、3120、3130、3140、3150、3160、3170、3180、3190、3200、3210、3220、3230、3240、3250、3260、3270、3280、3290、3300、3310、3320、3330、3340、3350、3360、3370、3380、3390、3400、3410、3420、3430、3440、3450、3460、3470、3480、3490、3500、3510、3520、3530、3540、3550、3560、3570、3580、3590、3600、3610、3620、3630、3640、3650、3660、3670、3680、3690、3700、3710、3720、3730、3740、3750、3760、3770、3780、3790、3800、3810、3820、3830、3840、3850、3860、3870、3880、3890、3900、3910、3920、3930、3940、3950、3960、3970、3980、3990、4000、4010、4020、4030、4040、4050、4060、4070、4080、4090、4100、4110、4120、4130、4140、4150、4160、4170、4180、4190、4200、4210、4220、4230、4240、4250、4260、4270、4280、4290、4300、4310、4320、4330、4340、4350、4360、4370、4380、4390、4400、4410、4420、4430、4440、4450、4460、4470、4480、4490、4500、4510、4520、4530、4540、4550、4560、4570、4580、4590、4600、4610、4620、4630、4640、4650、4660、4670、4680、4690、4700、4710、4720、4730、4740、4750、4760、4770、4780、4790、4800、4810、4820、4830、4840、4850、4860、4870、4880、4890、4900、4910、4920、4930、4940、4950、4960、4970、4980、4990、5000、5010、5020、5030、5040、5050、5060、5070、5080、5090、5100、5110、5120、5130、5140、5150、5160、5170、5180、5190、5200、5210、5220、5230、5240、5250、5260、5270、5280、5290、5300、5310、5320、5330、5340、5350、5360、5370、5380、5390、5400、5410、5420、5430、5440、5450、5460、5470、5480、5490、5500、5510、5520、5530、5540、5550、5560、5570、5580、5590、5600、5610、5620、5630、5640、5650、5660、5670、5680、5690、5700、5710、5720、5730、5740、5750、5760、5770、5780、5790、5800、5810、5820、5830、5840、5850、5860、5870、5880、5890、5900、5910、5920、5930、5940、5950、5960、5970、5980、5990、6000、6010、6020、6030、6040、6050、6060、6070、6080、6090、6100、6110、6120、6130、6140、6150、6160、6170、6180、6190、6200、6210、6220、6230、6240、6250、6260、6270、6280、6290、6300、6310、6320、6330、6340、6350、6360、6370、6380、6390、6400、6410、6420、6430、6440、6450、6460、6470、6480、6490、6500、6510、6520、6530、6540、6550、6560、6570、6580、6590、6600、6610、6620、6630、6640、6650、6660、6670、6680、6690、6700、6710、6720、6730、6740、6750、6760、6770、6780、6790、6800、6810、6820、6830、6840、6850、6860、6870、6880、6890、6900、6910、6920、6930、6940、6950、6960、6970、6980、6990、7000、7010、7020、7030、7040、7050、7060、7070、7080、7090、7100、7110、7120、7130、7140、7150、7160、7170、7180、7190、7200、7210、7220、7230、7240、7250、7260、7270、7280、7290、7300、7310、7320、7330、7340、7350、7360、7370、7380、7390、7400、7410、7420、7430、7440、7450、7460、7470、7480、7490、7500、7510、7520、7530、7540、7550、7560、7570、7580、7590、7600、7610、7620、7630、7640、7650、7660、7670、7680、7690、7700、7710、7720、7730、7740、7750、7760、7770、7780、7790、7800、7810、7820、7830、7840、7850、7860、7870、7880、7890、7900、7910、7920、7930、7940、7950、7960、7970、7980、7990、8000、8010、8020、8030、8040、8050、8060、8070、8080、8090、8100、8110、8120、8130、8140、8150、8160、8170、8180、8190、8200、8210、8220、8230、8240、8250、8260、8270、8280、8290、8300、8310、8320、8330、8340、8350、8360、8370、8380、8390、8400、8410、8420、8430、8440、8450、8460、8470、8480、8490、8500、8510、8520、8530、8540、8550、8560、8570、8580、8590、8600、8610、8620、8630、8640、8650、8660、8670、8680、8690、8700、8710、8720、8730、8740、8750、8760、8770、8780、8790、8800、8810、8820、8830、8840、8850、8860、8870、8880、8890、8900、8910、8920、8930、8940、8950、8960、8970、8980、8990、9000、9010、9020、9030、9040、9050、9060、9070、9080、9090、9100、9110、9120、9130、9140、9150、9160、9170、9180、9190、9200、9210、9220、9230、9240、9250、9260、9270、9280、9290、9300、9310、9320、9330、9340、9350、9360、9370、9380、9390、9400、9410、9420、9430、9440、9450、9460、9470、9480、9490、9500、9510、9520、9530、9540、9550、9560、9570、9580、9590、9600、9610、9620、9630、9640、9650、9660、9670、9680、9690、9700、9710、9720、9730、9740、9750、9760、9770、9780、9790、9800、9810、9820、9830、9840、9850、9860、9870、9880、9890、9900、9910、9920、9930、9940、9950、9960、9970、9980、9990、10000、10001、10002、10003、10004、10005、10006、10007、10008、10009、10010、10011、10012、10013、10014、10015、10016、10017、10018、10019、10020、10021、10022、10023、10024、10025、10026、10027、10028、10029、10030、10031、10032、10033、10034、10035、10036、10037、10038、10039、10040、10041、10042、10043、10044、10045、10046、10047、10048、10049、10050、10051、10052、10053、10054、10055、10056、10057、10058、10059、10060、10061、10062、10063、10064、10065、10066、10067、10068、10069、10070、10071、10072、10073、10074、10075、10076、10077、10078、10079、10080、10081、10082、10083、10084、10085、10086、10087、10088、10089、10090、10091、10092、10093、10094、10095、10096、10097、10098、10099、10100、10101、10102、10103、10104、10105、10106、10107、10108、10109、10110、10111、10112、10113、10114、10115、10116、10117、10118、10119、10120、10121、10122、10123、10124、10125、10126、10127、10128、10129、10130、10131、10132、10133、10134、10135、10136、10137、10138、10139、10140、10141、10142、10143、10144、10145、10146、10147、10148、10149、10150、10151、10152、10153、10154、10155、10156、10157、10158、10159、10160、10161、10162、10163、10164、10165、10166、10167、10168、10169、10170、10171、10172、10173、10174、10175、10176、10177、10178、10179、10180、10181、10182、10183、10184、10185、10186、10187、10188、10189、10190、10191、10192、10193、10194、10195、10196、10197、10198、10199、10200、10201、10202、10203、10204、10205、10206、10207、10208、10209、10210、10211、10212、10213、10214、10215、10216、10217、10218、10219、10220、10221、10222、10223、10224、10225、10226、10227、10228、10229、10230、10231、10232、10233、10234、10235、10236、10237、10238、10239、10240、10241、10242、10243、10244、10245、10246、10247、10248、10249、10250、10251、10252、10253、10254、10255、10256、10257、10258、10259、10260、10261、10262、10263、10264、10265、10266、10267、10268、10269、10270、10271、10272、10273、10274、10275、10276、10277、10278、10279、10280、10281、10282、10283、10284、10285、10286、10287、10288、10289、10290、10291、10292、10293、10294、10295、10296、10297、10298、10299、10300、10301、10302、10303、10304、10305、10306、10307、10308、10309、10310、10311、10312、10313、10314、10315、10316、10317、10318、10319、10320、10321、10322、10323、10324、10325、10326、10327、10328、10329、10330、10331、10332、10333、10334、10335、10336、10337、10338、10339、10340、10341、10342、10343、10344、10345、10346、10347、10348、10349、10350、10351、10352、10353、10354、10355、10356、10357、10358、10359、10360、10361、10362、10363、10364、10365、10366、10367、10368、10369、10370、10371、10372、10373、10374、10375、10376、10377、10378、10379、10380、10381、10382、10383、10384、10385、10386、10387、10388、10389、10390、10391、10392、10393、10394、10395、10396、10397、10398、10399、10400、10401、10402、10403、10404、10405、10406、10407、10408、10409、10410、10411、10412、10413、10414、10415、10416、10417、10418、10419、10420、10421、10422、10423、10424、10425、10426、10427、10428、10429、10430、10431、10432、10433、10434、10435、10436、10437、10438、10439、10440、10441、10442、10443、10444、10445、10446、10447、10448、10449、10450、10451、10452、10453、10454、10455、10456、10457、10458、10459、10460、10461、10462、10463、10464、10465、10466、10467、10468、10469、10470、10471、10472、10473、10474、10475、10476、10477、10478、10479、10480、10481、10482、10483、10484、10485、10486、10487、10488、10489、10490、10491、10492、10493、10494、10495、10496、10497、10498、10499、10500、10501、10502、10503、10504、10505、10506、10507、10508、10509、10510、10511、10512、10513、10514、10515、10516、10517、10518、10519、10520、10521、10522、10523、10524、10525、10526、10527、10528、10529、10530、10531、10532、10533、10534、10535、10536、10537、10538、10539、10540、10541、10542、10543、10544、10545、10546、10547、10548、10549、10550、10551、10552、10553、10554、10555、10556、10557、10558、10559、10560、10561、10562、10563、10564、10565、10566、10567、10568、10569、10570、10571、10572、10573、10574、10575、10576、10577、10578、10579、10580、10581、10582、10583、10584、10585、10586、10587、10588、10589、10590、10591、10592、10593、10594、10595、10596、10597、10598、10599、10600、10601、10602、10603、10604、10605、10606、10607、10608、10609、10610、10611、10612、10613、10614、10615、10616、10617、10618、10619、10620、10621、10622、10623、10624、10625、10626、10627、10628、10629、10630、10631、10632、10633、10634、10635、10636、10637、10638、10639、10640、10641、10642、10643、10644、10645、10646、10647、10648、10649、10650、10651、10652、10653、10654、10655、10656、10657、10658、10659、10660、10661、10662、10663、10664、10665、10666、10667、10668、10669、10670、10671、10672、10673、10674、10675、10676、10677、10678、10679、10680、10681、10682、10683、10684、10685、10686、10687、10688、10689、10690、10691、10692、10693、10694、10695、10696、10697、10698、10699、10700、10701、10702、10703、10704、10705、10706、10707、10708、10709、10710、10711、10712、10713、10714、10715、10716、10717、10718、10719、10720、10721、10722、10723、10724、10725、10726、10727、10728、10729、10730、10731、10732、10733、10734、10735、10736、10737、10738、10739、10740、10741、10742、10743、10744、10745、10746、10747、10748、10749、10750、10751、10752、10753、10754、10755、10756、10757、10758、10759、10760、10761、10762、10763、10764、10765、10766、10767、10768、10769、10770、10771、10772、10773、10774、10775、10776、10777、10778、10779、10780、10781、10782、10783、10784、10785、10786、10787、10788、10789、10790、10791、10792、10793、10794、10795、10796、10797、10798、10799、10800、10801、10802、10803、10804、10805、10806、10807、10808、10809、10810、10811、10812、10813、10814、10815、10816、10817、10818、10819、10820、10821、10822、10823、10824、10825、10826、10827、10828、10829、10830、10831、10832、10833、10834、10835、10836、10837、10838、10839、10840、10841、10842、10843、10844、10845、10846、10847、10848、10849、10850、10851、10852、10853、10854、10855、10856、10857、10858、10859、10860、10861、10862、10863、10864、10865、10866、10867、10868、10869、10870、10871、10872、10873、10874、10875、10876、10877、10878、10879、10880、10881、10882、10883、10884、10885、10886、10887、10888、10889、10890、10891、10892、10893、10894、10895、10896、10897、10898、10899、10900、10901、10902、10903、10904、10905、10906、10907、10908、10909、10910、10911、10912、10913、10914、10915、10916、10917、10918、10919、10920、10921、10922、10923、10924、10925、10926、10927、10928、10929、10930、10931、10932、10933、10934、10935、10936、10937、10938、10939、10940、10941、10942、10943、10944、10945、10946、10947、10948、10949、10950、10951、10952、10953、10954、10955、10956、10957、10958、10959、10960、10961、10962、10963、10964、10965、10966、10967、10968、10969、10970、10971、10972、10973、10974、10975、10976、10977、10978、10979、10980、10981、10982、10983、10984、10985、10986、10987、10988、10989、10990、10991、10992、10993、10994、10995、10996、10997、10998、10999、11000、11001、11002、11003、11004、11005、11006、11007、11008、11009、11010、11011、11012、11013、11014、11015、11016、11017、11018、11019、11020、11021、11022、11023、11024、11025、11026、11027、11028、11029、11030、11031、11032、11033、11034、11035、11036、11037、11038、11039、11040、11041、11042、11043、11044、11045、11046、11047、11048、11049、11050、11051、11052、11053、11054、11055、11056、11057、11058、11059、11060、11061、11062、11063、11064、11065、11066、11067、11068、11069、11070、11071、11072、11073、11074、11075、11076、11077、11078、11079、11080、11081、11082、11083、11084、11085、11086、11087、11088、11089、11090、11091、11092、11093、11094、11095、11096、11097、11098、11099、11100、11101、11102、11103、11104、11105、11106、11107、11108、11109、11110、11111、11112、11113、11114、11115、11116、11117、11118、11119、11120、11121、11122、11123、11124、11125、11126、11127、11128、11129、11130、11131、11132、11133、11134、11135、11136、11137、11138、11139、11140、11141、11

ノード・ポートが必要となるが、そのように複雑さが増しても修正ハイパーキューブ構造は影響を受けない)。1組 $m_2$ 個のリンクにおける各等価ノードを接続すると、 $m_2$ 個のリンクが相互にリンクできる。この時点で得られるのがトーラスである。i次元修正ハイパーキューブからi+1次元修正ハイパーキューブを構築するには、 $m_{i+1}$ 組のi次元修正ハイパーキューブを想定し、等価な $m_i$ レベルのノードをすべて相互接続してリングを形成する。

【0125】 $m_i = 8$  ( $i = 1, \dots, 4$ ) を使用して、4次元修正ハイパーキューブにおけるこのプロセスを図7に示す。ノード・トポロジーのもとでのこの説明と、図7、図10、図11、図17、図18を比較されたい。

【0126】図7は、32Kの16ビット・ノード・メモリと16ビット・プロセッサから構成される単一プロセッサ要素300から、8つのプロセッサ312と、それに結合されたメモリ311、後者に付随する完全分散型入出力ルータ313、および信号入出力ポート314、315から成るネットワーク・ノード310に至り、さらにスタスタ320で表したノードのグループを経て、スタスタ構成360、ならびに各種のデコーディング330、340、350、370に至る並列技術経路を示している。2次元レベル構成はスタスタ320であり、64個の要素が結合されて、32768個の処理要素からなる4次元修正ハイパーキューブ360を形成している。

【0127】プロセッサ・メモリ要素(PME)の好ましい実施例：図3および図12に示すように、好ましいAPAPは1つのチップ・ノードから成る基本的構成単位を有する。各ノードは、8個の同一のプロセッサ・メモリ要素(PME)と1つの同報通信・制御インタフェース(BCI)を備えている。本発明の一部は、同一のチップ上にすべての機能が揃っていても実現できるが、性能およびコスト削減の点から見ると、現在実施可能な前述の先進技術を使用して、8個のPMEを備えた1つのチップ・ノードとしてチップを形成することが重要である。

【0128】PMEの好ましい実施態様は、64KBの主記憶装置、8つのプログラム割り込み・バス、それぞれに関する16個の16ビット出力レジスタ、全機能論理演算機構(ALU)、作業用レジスタ、状態レジスタ、および4つのレジスタ間の相互的な入出力ポートを有する。さらに、この好ましい実施態様は、同報通信・制御インタフェース(BCI)によってS-IMDポートと制御ポート・データポートとを備える。この好ましい実施態様は、外部制御装置(本発明の制御部)、スタスタを構成するチップ・ノード、および他の好ましい実施例、および他の制御装置(図解)から、PMEの了解解、プログラムのロード、ALUポートに入力する数値、メモリ

にする。このチップは、その内部で複数の並列動作を実行できるようにするマイクロコンピュータの機能を実行でき、かつ複数のノードのシステム内で他のチップに結合できる。その場合の結合方法は、相互接続ネットワーク、バス・ネットワークまたはハイパーキューブ・ネットワーク、先進的でスケーリング可能な、本発明の好ましい実施例のいずれでもよい。

【0129】PMEは、スケーリング可能な本発明の好ましい実施例では、一連のリンクまたはトーラスとして相互接続できる。適用例によっては、ノードをメッシュとして相互接続することもできる。本発明の好ましい実施例では、各ノードが、4つのトーラスのそれぞれにPMEを2個ずつ備えている。トーラスはW、X、Y、およびZ(図7参照)で示してある。図12は、ノード内でのPMEの相互接続を示している。各トーラス内の2個のPMEは、その外部入出力ポート(+W、-W、+X、-X、+Y、-Y、+Z、-Z)で指定してある。ノード内には、4+n個および4-n個のPMEを相互接続する2つのリングもある。これらの内部リングは、メッセージを外部トーラス間で移動するための経路として働く。本発明の好ましい実施例では、APAPを4次元直交レジにするようにできるとして、内部リングによって全体はわたるべきである次元で、メッセージを移動することが可能である。

【0130】PMEは、主記憶装置、作業用記憶装置、命令解読器、論理演算機構(ALU)、作業用レジスタ、および入出力ポートを備える、自己完結型プログラム組立式マイクロコンピュータである。PMEは、M-IMD動作では、それ自体の主記憶装置から格納されている命令を取り出して実行し、S-IMDモードでは、BCIインタフェースを介してコマンドを取り出し実行する能力を有する。このインタフェースにより、複数のチップから成るシステム内の、制御装置、PME、その他のPMEの間での相互通信が可能になる。

【0131】BCIは、外部制御制御装置要素およびレジスタ・データ・バス、そのためのインタフェースである。BCIは、マイクロクロックなどの共通ポート機能を提供する。また、各ノードPMEと他の同報通信機能のバス・リンク、同報通信バスをPME間のデータ転送用の物理インタフェースおよびバス・リンク、そのシステム内伝送のため、他の各要素および他の各要素間のインタフェースを提供する。

【0132】各PMEは、それを2つの間接レジスタ・バスおよび直接通信インターフェースを有する。別々の集まりのバスを備えている。各バスは、直接バス・インターフェース(CDMA)と伝送機構(図解)。PMEの主記憶装置に入力され、または主記憶装置から入力される。"Input transfer complete"信号は、主記憶装置から、各バスを伝送する。PMEのバス・インターフェースは、他のバス・インターフェース





MDモードでは、PMEはプログラム・カウンタ（PC）を維持し、それをそれ自体のメモリ内のアドレスとして使用して16ビット命令を取り出す。プログラム・カウンタに明示的にアドレスする“Branch”などの命令は、SIMDモードでは意味がなくなり、それらのコード点の一部は再解釈されて、即値データと主記憶装置の領域の比較などの特殊SIMD機能が実行される。

【0144】PME命令解読論理回路により、SIMD動作モードまたはMIMD動作モードのどちらかが使用可能になり、PMEはモード間を動的に移行できる。SIMDモードでは、PMEが解読済み命令情報を受け取り、次のクロック・サイクルでそのモードを実行する。MIMDモードでは、PMEがプログラム・カウンタ

(PC) アドレスを維持し、それをそれ自体のモード内のアドレスとして使って16ビット命令を取り出す。命令の解読および実行は、他の大部分のRISC型マシンと同様に進行する。S IMDモードでPMEは、解読分岐を表す情報を与えられるとM IMDモードに入る。M IMDモードのPMEは、移行用の特定の命令を実行するとS IMDモードになる。

【0145】PMEがS1MDモードからM1MDモードへの動的移行を行う際には、S1MD“write control register”（制御レジスタ読取り）命令を実行するとM1MDモードに入り、当該の制御ビットが“1”に設定される。S1MD命令が完了すると、PMEはM1MDモードに入り、書込みを可能にする。その後、その汎用レジスタROで指定された非記憶装置位置からそのM1MD命令を取り出して実行を開始する。M1MD制御ビットが設定時の制御ビットより状態に対応して、書込みがマスクされている場合はマスク解除される。PMEは、外部から初期設定されるか、あるいはM1MD“write control register”（制御レジスタ書込み）命令を実行して当該の制御ビットが0に設定されると、S1MDモードに戻る。

[illegible]

一下の間の動的選択が可能になる。これは、PME設計のもう一つの独特な特徴である。

【0147】このように、本発明の好ましいモードは8個のPMEを有し、各PMEは4つの出力ポート（左、右、垂直、および外部）を有する。入力ポートのうち3つと出力ポートのうち3つは、チップ上の他のPMEへの16ビット幅全2重2地点間接続である。4番目のポートは、好ましい実施例では、組み合わされて、オフチップPMEへの半2重2地点間接続を提供する。本発明で低密度CMOSを利用するために課されるピンおよび電源の制約により、実際のオフチップ・インタフェースは、PME間データ・ストリームのバイポーラ2つを多重化するのに使用されるパイプ幅経路である。モード間リセットを動的、一時的、かつ論理的に破壊し、データをゲインに入れあるいはゲインから出すことを可能にする、特殊モードの回路を用いる場合、これらの外部PMEポートは、APAP外部入出力ブレイク機能を提供する。

【0148】PME・ポートに経路指定されるポートについては、PME命令ストリームが、そのポートの始めと終、並びに出力処理に関与すればよいように、正規DMAがサポートされる。最後に、内部出力ポートに回線交換入れるポートは、クロ・キルがなしで転送される。これにより、ポート内での単一サイズデータのポート転送が可能になり、もっとも高速であるが依然として確実な通信を行うことができるポート交換器が、発生するから抽出される。高速転送には順方向データ経路と逆方向制御経路が使用され、転送はすべて過渡モードでなされる。要するに、受信元は、DMAまたはポート転送転送を再行するPMEから肯定応答を受けるまでに、複数の段階を経る。

【0149】図8および図9から分かるように、PME入力ポート上のデータは、ローカルPME宛、またはリモートPME宛に下ったPME宛にすることができる。リモートPME宛に下ったPME宛のデータを、ローカルPME宛記憶装置に格納した後、ローカルPMEからターゲットPMEに向けて転送する（蓄積交換）。この場合、ローカル入力ポートを特定のローカル出力ポートに論理的に接続して（同線交換）、データがローカルPMEを通過的に、再送してターゲットPMEに向かうようにすることができる。ローカルPMEは、この場合、4つの入力ポートと4つの出力ポートを有するが、ローカルPMEは、蓄積交換、同線交換、ターゲットPME宛のデータは、動的に制御される。同線交換モードでは、PMEが、同線交換に関連付けられた入力出力線、または交換の物理線に接続する。蓄積交換モードでは、PMEが他のPMEと動的に物理線接続を形成し、入力と出力の両方を動的に形成する。

【0450】 $\text{C}_{10}\text{H}_{10}\text{O}$  分子量 134.15 熔点 100.5℃ 沸点 176.5℃ 折光率 1.4925 密度 0.9915 溶解性 DMSO 溶解度 100% 1,4-DMF 溶解度 100% 水溶性 0.001% 规格分析纯 3-A

る。ローカルPME宛の入力データ、または「蓄積交換」動作中にローカルPMEにバッファされた入力データは、各入力ポートに結合された直接メモリ・アクセス（アドレフ）機構を介してローカルPME主記憶装置に格納される。プログラム割込みによって、PME主記憶装置にメッセージがロードされたことを示すことができる。ローカルPMEプログラムは、バッダ・データを解釈して、ローカルPME宛のデータが別のPMEへの回線交換経路の設定に使用できる制御・メッセージであるか否か、あるいは別のPMEに転送する・メッセージであるか否かを判定する。回線交換経路は、ローカルPMEソフトウェアによって制御される。回線交換経路は、介在する緩衝記憶装置を通過せずに、PME入力経路を出力経路と論理的に直接結合する。同一のチップ上のPME間の出力経路には介在する緩衝記憶装置がないので、データを単一のクロック・サイクルで、チップに入れ、チップ上の多数のPMEを通過させ、ターゲットPMEの主記憶装置にロードすることができる。中間に緩衝記憶装置が必要なのは、回線交換結合がチップから離れたときだけである。このため、APAPモレイの有効直径が非バッファ回線交換経路の数だけ減化する。その結果、経路内にあるPMEの数は無関係に、介在するチップと同数のクロック・サイクルでPMEからターゲットPMEにデータを送ることができる。この種経路指定は、各クロック・サイクルでデータを次のチップに転送するのに数サイクルが必要な交換環境と比較することができる。本発明のロードはそれぞれ8個のPMEを一つ、

【0151】メモリおよびバス接続形態は、PMEは、メモリ420に32キロバイト×16ビット・ワードを格納する。この記憶域は完全に汎用であり、データとプログラムの両方を入れることができる。SIMD動作では、メモリすべてをデータとすることができる。これは、他のSIMD大規模並列マシンで特微的である。MIMDモードでは、メモリはまったく通常どおりであるが、大部分の大規模並列MIMDマシンと異なり、PMEモードは、チップ上におけるため、外部に使用可能である。このため、他の大規模並列MIMDマシンに特有のキャッシュ、動作およびインターフェイス・レンス技術は不要である。インテグリティチップの場合、チップ上に常駐するものは4Kだけである。外部メモリ・インターフェイス・バスおよびバスが必要である。本発明ではこれが必要となる。

[illegible]

割込みレベルがマスキされていない場合、レジスタが最低位メモリの新規セクションからアクセスされるようにハードウェアのポインタを変更し、単一のPC値をマップすることにより、この切替えが実行される。この技術では、高速レベル切替えが可能であり、ソフトウェアは通常のレジスタ・セーブ動作を回避することになり、割込みレベル・レジスタ内位状況をセーブすることができ

【0153】PMEプロセッサは、8つのプログラム割  
10 込みレベルのうちの1つに作用する。メモリアドレス  
指定により、メモリの下部576ワードを割込みの8つ  
のレベルに区分できる。このメモリの576ワードの  
うちの64ワードは、8つのレベルのいずれかで実行中の  
プログラムによって直接アドレス可能である。他の51  
2ワードは、8つの64ワード・セグメントに区分され  
る。各64ワード・セグメントに直接アクセスできるの  
は、それと関連する割込みレベルで実行中のプログラム  
だけである。直接アドレス指定技術を使用することによ  
り、すべてのプログラムが、PME・メモリの全32Kワ  
20 ードにアクセスできるようになる。

【0154】測定ミレキスは、入力ボード、BCI、および出力処理機構に割り当てられる。「通算」ミレキは、例えば、「短種」ミレキと「ターミナル種」ミレキを含む。プログラムの実行により、実際の切替ミレキが得られて、PCプログラムのカウンタ、時計、制御レジスタ、および特定の出力ミレキの内容が、指定された主記憶装置位置に格納され、これらのレジスタの新しい値が、他の指定された主記憶装置位置から取り出される。

【0155】図8および図9を参照して説明したPME  
30 データ・フローは、以下の数節を参照して拡張すること  
ができる。複合システムでは、PMEデータ・フロー  
が、アドレス・ワードとしてのチップ上、メモリ、プロセ  
ッサ、および入出力機構の組合せを使用する。入出力機  
構は、本発明のAPAPで構築されたMMPの基本的構  
成単位として複製されるBCIを使用してメッセージを取  
り扱う。MMPは多次のワード長を処理することが  
できる。

【0156】PME 複数倍長が、 $n$ 、 $m$  の如理、本明細書に記載されている例は、PME の  $1/16$  ビット幅の  $n \times m$  のビット量より、現行の PPM の中で処理される演算を実行する。すなわち、 $n$  と  $m$  を共に、 $1/16$  ビットの倍数である値に改変して演算を実行する。同様に、 $1/16$  ビットの整数として演算を行なう。各回の計算結果を知っている状態にならない場合がある（例えば、符号が 0 の場合、全行に上留り、下留りの上留りが生ずる）。

[illegible]

7) ) を加算する。

【0158】

$a(32-47) + b(32-47) \rightarrow ans(32-47)$  ← ステップ 1

- 1) 合計の上位ビットの実行結果をセーブする。
- 2) 部分結果が0だったかどうかを記憶する。

【0159】  $a(16-31) + b(16-31) + \text{save carry} \rightarrow ans(16-31)$  ← ステップ 2

- 1) 合計の上位ビットの実行結果をセーブする。
- 2) この結果および前回のステップで部分結果が0だったかどうかを記憶する。

両方とも0の場合、0を記憶する。いずれかが0以外の場合、非0を記憶する。

【0160】  $a(0-15) + b(0-15) + \text{saved carry} \rightarrow ans(0-15)$  ← 最終ステップ

- 1) この断片が0で最後の断片が0だった場合、答は0である。
- 2) この断片が0で最後の断片が非0だった場合、答は非0である。
- 3) この断片が非0の場合、答は合計の符号に基づき正または負になる（桁あふれはないものとする）。
- 4) 実行する答の符号が実行した答の符号と等しくない場合、答は符号が間違っており、結果は桁あふれになる（使用可能なビット単位で適切に表すことができない）。

【0161】 中間で第2ステップを必要回数繰返すと、長さを拡張することができる。長さが32の場合、第2ステップは実行されない。長さが48より大きい場合、ステップ2は複数回実行される。長さがちょうど16の場合、ステップ1における動作が、最終ステップの条件3および4つきで実行される。オペランドの長さをデータ・フローの長さの複数倍に拡張すると、データ・フローの幅が狭い場合、通常、命令を実行するのにかかる時間が長くなる。すなわち、32ビットのデータ・フローで32ビットを加算する場合、加算器論理回路を1回通過するだけでよいが、16ビット・データ・フローで32ビットを加算する場合は、加算器論理回路を2回通過する必要がある。

【0162】 本発明の興味深い点として、マシンの実施態様では、長さ1〜8ワード（長さは、命令の一部として定義される）のオペランドに対して加算・減算・比較・移動を実行できる単一の命令がある。この命令が使用できる個々の場合は、ステップ1、ステップ2、および最終ステップで示す動作を同じ種類の動作を実行する（命令が、マイクロアーキテクチャによって長くなる。すなわち、16〜128ビット）。基本オペランド・サイズとしては一度に16ビットに作用するが、マイクロアーキテクチャによっては一度に16〜128ビットを処理していると考えられる。

【0163】 以下に、命令を様々な状況で使用する方法を示す。図9は、図10と図11の命令の機能を示す。図9A

る。すなわち、2つの命令を使用すると、長さ256ビットまでの2つの数を加算することができる。

【0164】 PMEプロセッサ：本発明のPMEプロセッサは、MPPアプリケーションに現在使用されている現在のマイクロプロセッサと異なる。プロセッサ部分の違いとしては以下の点が挙げられる。

【0165】 1. プロセッサは、完全にプログラミング可能なハードウェア式コンピュータである（命令セットの概要に関しては、ISAについての説明を参照されたい）。

・左上隅に示す完全なメモリ・サブシステムを有する（図9参照）。

・（左上隅に示す）各割込みレベルに対して別々のレジスタ・セットをエミュレートするのに必要な制御機構を備えたハードウェア・レジスタを有する。

・その論理演算機構が、効果的な多重サイクル整数および浮動小数点演算を可能にするのに必要なレジスタおよび制御機構を有する。

・右上隅に示す2地点間リンクで相互接続されたPME間のパケットまたは回線交換データ移動をサポートするのに必要な入出力制御経路を有する。

【0166】 2. これは、CMOS DRAM技術により1チップ当たりPMEの複製を8個作成できるプロセス設計のための最小の手法である。

【0167】 3. PMEのソフトウェア部分は、本発明のMMPの効果的なMIMD動作またはSIMD動作を可能にするのに必要な高速度命令セット・アーキテクチャ（ISA）（表を参照）を定義するのに必要なほぼ最小のゲート・フロー幅を提供する。

【0168】 PME常駐ソフトウェア：PMEは、格納されたプログラムを実行できる。AAPAPの最小要素である。PMEは、一定の外部制御要素中に常駐し、SIMDモードで同報通信・制御インターフェース（BCI）によってPMEに送られるプログラムを実行し、あるいはそれ自体の主記憶装置に常駐するプログラムを実行することができる（MIMDモード）。PMEは、SIMDモードとMIMDモード間で動的に切り替えることができる。これは、SIMD・MIMDモード2重機能であり、プログラムはこの2重機能を同時に実行できる（SIMIMDモード）。特にPMEは、制御レジスタからレジスタを出力するときはレジスタするまでは、動的制御を付与することができる。SIMD・PMEモードでは、実際には外部制御要素に常駐するのではなく、その内部の制御はレジスタ・レジスタに関する考慮事項および関連事項は記載されている。

【0169】 MIMDモードでは、PMEはSIMDモードから、PMEは主記憶装置に格納され、それによって、PMEは多量に、同報通信要素を動的に制御する。この動的制御は、動的に制御要素を備えている。この動的制御は、レジスタ・レジスタに関する考慮事項

【0169】 MIMDモードでは、PMEはSIMDモードから、PMEは主記憶装置に格納され、それによって、PMEは多量に、同報通信要素を動的に制御する。この動的制御は、動的に制御要素を備えている。この動的制御は、レジスタ・レジスタに関する考慮事項





引き渡す。この処理は、通常の命令動作とインターリーブする。アプリケーションの要件に応じて、伝送されるデータのブロックは、定義済みPME用の生データまたは経路を確立するためのコマンド、あるいはその両方を含むことができる。データを受け取ったPMEは、入力メモリに格納し、活動状態の下位処理に割り込む。割り込みレベルにおける解釈タスクは、この割り込み事象を使って、タスク同期化を実行し、あるいは適適性入出力動作を開始することができる（データが他の場所でアドレスされると）。PMEは、適適性入出力動作中、自由に実行を継続できる。PMEのCTLレジスタがPMEをブリッジにする。データは、ゲート処理なしにPMEを通過し、PMEは、命令またはデータ・ストリームによってCTLレジスタがリセットされるまでそのモードのままである。PMEは、データの伝送中、データ源となることはできないが、別のメッセージのデータ・リンクとなることはできる。

【0182】PME同報通信セグメント：これは、チップと共通制御サブライク間のインタフェースである。このインタフェースは、入出力を指令しまたは完全にチップをシャットしが図する制御装置として働くサブライクを使用できる。

【0183】入力は、PMEのサブライクが使用可能なワード・グループ（各分組は生データ）である。各ボードには、どのPMEがそのワードを使用するかを示すコマンドが関連付けられている。BCIは、ワードを使用して、該インタフェースへのアクセスを制限するとともに、必要なすべてのPMEがデータを受け取るようにする。このことは、BCIを非同期PME動作に調節するのに役立つ（PMEは、SIMDモードのときでも、入出力および割り込み処理のために非同期的である）。この機構により、PMEを、BCIを介して受け取ったコマンド・データ・ワード・グループ・サブセットによって制御されるグループに形成することができる。

【0184】BCIは、PMEにデータを引き渡すだけでなく、PMEから要求ワードを受け入れ、それらのワードを組み合わせて、総合ワード要求を映し出す。この機構は、パケット形で使用できる。MIMD処理は、すべて出力信号で終了するが、ワード・グループ中で開始できる。信号がANDされる時、制御装置は新規タスクを開始する。多くの場合、アプリケーションがPMEを必要とする必要に応じてワード・グループに要求は用い、この制御装置はワード・グループを要求行使用で、要求ワード・グループの要求ワード・グループ・ワード・グループを映し出す。

【0185】配線装置は、多変数・パケットを処理する能力を有する。例を以て、パケットはPME上に直接に取られる。パケット・グループは最初BCIに配線装置に入力され、該配線装置は、パケット・グループ・PMEに送る。

【0186】BCI：各チップ上に設けられた同報通信・制御インタフェース（BCI）は、データまたは命令をボードに送信できるような並列入力インタフェースを実現する。着信データはサブセット識別子でタグ付けされる。BCIは、サブセット内で動作する、ボード内のすべてのPMEにデータまたは命令が提供されるようにするのに必要な機能を備えている。BCIの並列インタフェースは、すべてのPMEにデータを同報通信できるようにするボードとしても、SIMD動作中の命令インタフェースとしても働く。両方の要件を満たすように、それらの要件をサブセット動作のサポートにまで拡張する機能は、本発明の設計手法以外には全一例を見ない。

【0187】本発明のBCI並列入力インタフェースにより、ボードの外部の制御要素からデータまたは命令を送信することが可能になる。BCIは、各PMEと結合されたグループ割当て・レジスタを備えている（グループ化の概念については、同時出願grouping of SIMD picketsに題する米国特許出願を参照されたい）。着信データ・ボードはグループ識別子でタグ付けされる。BCIは、専用グループに割り当てられたボード内のすべてのPMEにデータまたは命令が提供されるようにするのに必要な機能を備えている。BCIの並列インタフェースは、MIMD動作中にPMEにデータを同報通信できるようにするボードとしても、SIMD動作中の命令・制御サブセット・インタフェースとしても働く。

【0188】BCIは、2つの直列インタフェースを備えている。高速直列ボードは、各PMEに、限られた量の伝送情報を入力する能力を与える。このデータの目的は以下のとおりである。

【0189】1. PMEたとえば500が読み取る必要のあるデータを有すること、またはPMEが何らかの動作を完了したことを示す信号をアイ・アドレス610に送る。アイ・アドレス610は、それが代表する外部制御要素にメッセージを渡す。

2. 外部要素および他の要素のシステム全体の状況を示すことができるように活動状態を提供する。

【0190】標準直列ボードは、外部制御要素が監視および制御の目的で特定のPMEに選択的にアクセスできるようにする。このインタフェースを介して渡されるデータは、BCI並列インタフェースから特定のPMEレジスタにデータを送り、あるいは特定のPMEレジスタからデータを抽出してそれを高速直列ボードに経路指定するものである。これらの制御は、外部制御要素が同報・パケット・制御を行使できるように、個々のPMEを監視・制御できるように、中央・パケット・グループ・レジスタ・パケットは、特定のPMEにデータを送る。パケット・グループ・レジスタ・パケットは、特定のPMEにデータを送る。パケット・グループ・レジスタ・パケットは、特定のPMEにデータを送る。

【0191】PMEは、PMEにデータを送る。PMEは、PMEにデータを送る。



一用の相互接続方法について以下に説明する。

【0197】1. 1組の整数  $e_1, e_2, e_3, \dots$  の組を次のように定義する。すべての要素の積がネットワーク内のPMEの数Mと等しくなり、一方  $e_1$  および  $e_2$  を除く、該組のすべての要素の積がノードの数Nであり、該組の要素の数mが、関係式  $n = m - 2$  によってネットワークの次元数を定義する。

【0198】2. 1組のインデックス  $a_1, a_2, \dots, a_m$  によって位置指定されたPMEにアドレスする。ここで各インデックスは、等価な展開レベルでのPME位置であり、インデックス  $a_1$  は、公式  $(\dots (a(m) * e(m-1) + a(m-2)) * e(m-1) \dots a(2) * e(1)) + a(1)$  によって、 $i$  が  $1, 2, \dots, m$  のとき、0 から  $e_i - 1$  の範囲に収まる。この公式で、 $a(i)$  という表記は通常通り、要素のリスト  $a$  中の  $i$  番目であることを意味する。 $e_i$  についても同様である。

【0199】3. 次の2つの条件のいずれかが成り立つ場合にかぎり、2つのPME（アドレスが  $i$  および  $j$ ）を接続する。

a.  $r/(e_1 * e_2)$  の整数部分が  $s/(e_1 * e_2)$  の整数部分と等しい。

1)  $r/e_1$  の剰余部分が  $s/e_1$  の剰余部分と1だけ異なる。

あるいは

2)  $r/e_2$  の剰余部分が  $s/e_2$  の剰余部分と1または  $e_2 - 1$  だけ異なる。

b.  $r/e_1$  の剰余部分が  $s/e_1$  の剰余部分が、1か3、

4、 $\dots, m$  の範囲にあるとき異なり、 $r/e_1$  の剰余部分が、 $r - 3$  に等しく、 $s/e_1$  の剰余部分と等しく、 $r/e_2$  の剰余部分が  $s/e_2$  の剰余部分と  $e_2 - 1$  だけ異なる。

【0200】この結果、コンピュータ・システム・ノードは、各次元で基数が異なる可能性がある非バイナリ・ハイパーキューブを形成する。ノードは、それぞれによって提供されるポートが修正ハイパーキューブの次元数要件と一致するような  $2^n$  個のポートをサポートするPMEのアドレスを定義される。特定の修正ハイパーキューブの各次元の特定の範囲を定義する1組の整数  $e_3, e_4, \dots, e_m$  によって等しい、 $b$  の代り  $b'$  を置き、 $e_1$  および  $e_2$  を  $a_1$  とすると、アドレス可能性および接続についての真前の公式は下記のようになる。

【0201】1.  $N = b'^n n$

【0202】2.  $b'$  としては、PMEの基底  $b$  数体系を表す数でアドレスが与えられる。

【0203】3. 1のアドレスが  $g$  のアドレスと、1基底  $b$  部分が異なる場合にかぎり2つの修正要素 ( $C_1$  および  $g$ ) が接続される。0  $\leq b' - 1$  の1だけが満たされている規則が適用される。

【0204】4. 各PMEは最大  $(N/n)$  個の接続点数は  $2^n n$  である。

【0205】5. 任意の次元  $i$  の修正要素  $C_i$  の接続数  $n_i$  は、任意のPMEが接続する他の次元の次元数は0  $\leq n_i$

捉られている。

【0206】ノード内PME相互接続:PMEは、ノード内で  $2^n n$  アドレスとして構成される。各PMEは、1組の入出力ポートを使って3つの隣接PMEと相互接続されるため、PME間には全2重通信機能が提供される。各PME外部入出力ポートは、ノード入出力バスに接続される。入出力ポートは、ピンを、半2重通信用に共用できるように接続することも、全2重機能用に分離できるように接続することも可能である。4次元修正ハイパーキューブ・ノードの相互接続を図10および図11に示す ( $n$  が偶数の場合、ノードは  $2 \times 2 \times n - 2$  アドレスとみなせることに留意されたい)。

【0207】図10は、ノード内の8つの処理要素500、510、520、530、540、550、560、570を示している。PMEは、バイナリ・ハイパーキューブ通信ネットワーク中で接続される。このバイナリ・ハイパーキューブは、PME間のノード内接続を3つ示している(501、511、521、531、541、551、561、571、590、591、592、593)。PME間の通信は、処理要素の制御下で入出力アドレスによって制御される。この図は、8つの方向、 $z-w = 525, 565, x = 515, 555, y = 505, 545, z = 535, 575$  のいずれかから入出力をホストするときに使用できる様々な経路が示されている。望むなら、データをホストに格納せずに通信を実行できる。

【0208】ネットワーク切替スイッチを使用すれば、それぞれ本発明のチップを持つ各種カードを、システムの他のチップと接続できるが、ネットワーク切替スイッチを使用しないでもかまわず、またそうすることが望ましいことに留意されたい。「4次元トーラス」として記述する本発明のPME間ネットワークは、PME間通信に使用する機構である。PMEは、このインタフェース上のアドレス内の任意の他のPMEにアクセスできる（間にあるPMEは、蓄積交換または回線交換できる）。

【0209】相互接続のチップ関係:チップについて説明してきた図12は、PMEのレイアウト・マップ・スキームのブロック図である。このチップは、下記の要素から構成されている。以下に、これらの要素をそれぞれについて説明する。

【0210】1. それぞれ16セクタのマスタ・データ・キャッシュおよび32Kバイトの8ビット(64KB)から成るPME8個。

【0211】2. 制御装置がすべてのPME主入出力ポートを動作させるPME要求を生成してアドレスと、アドレスBC1。

【0212】3. 相互接続バス。

$a_i$  をPMEは、8次元の隣接PME間相互接続1次元の修正要素  $C_i$  である。修正要素  $C_i$  は、修正要素  $C_i$  接続PME3個と、修正要素  $C_i$  接続PME1個と接続される。







(API)を備えた、ホスト接続大規模システムのシステム・ブロック図を示す。複数のアプリケーション・プロセス・インタフェース（図示せず）を使用するスタンドアロン・システムで本発明を使用できるという了解のもとでこの図を見ることもできる。この構成は、すべてのクラスまたは多数のクラス上でDASD（データ・アクセス）をサポートする。ローカライズされた、アプリケーション・システムを使用すると、図のホスト、アプリケーション・プロセス・インタフェース（API）、およびクラス・インタロサイザ（CS）は不要になる。クラス・インタロサイザはかならずしも必要ではない。必要かどうかは、実行する処理の種類と、本発明を使用する特定のアプリケーション・マシンに提供される物理ドライブまたは電源によって決まる。主としてMIMD処理を実行するアプリケーションが制御装置に課す作業負荷要求はそれほど高くないので、この場合、制御バスのバス立上り時間が異常に長くなることがある。逆に、多数の独立したグループ化によ、主として非同期的A-SIMD動作を実行するシステムでは、より高速の制御部機能が必要になることがある。この場合、クラス・インタロサイザが好ましい。

[illegible]

【0236】 1. 下列各数中, 是实数的是 ( )

ョン用の様々なハードウェア構成を形成できるが、そのようにしてもサポート・ソフトウェアに大きな影響が及ぶことはない。

【0237】ローカライゼーション・プログラマビリティでは、クラスタ制御装置がローカライゼーション・システム・バスに直接接続される。アダプタ・レイアウト・プロセッサ・インタフェースの機能はローカライゼーションによって実行される。RISC-6000の場合、システム・バスはマイクロチャンネルであり、クラスタ制御装置がローカライゼーション内のスロットに直接挿入できる。この構成では、プレイをロード・アンロードするのと同じバス上に入出力装置（DASD、SCSI、およびディスプレイ・インタフェース）を配置する。そのため、並列アドレス・アドレス・インデックス生成や処理など入出力中心のタスクに使用できる。他のローカライゼーション（VMEバス、ヒューテックバスなど）を使用するローカライゼーションでは、ゲートウェイ・インタフェースを使用する。そのようなゲートウェイは、市場で容易に入手可能である。これらの最小規模システムでは、特定の数のタスク間で単一のクラスタ制御装置を共用でき、クラスタ・システムサイズがアダプタ・レイアウト・プロセッサ・インタフェースも必要でない。

【0238】MIL 形式のデータ・フォーマットを用いては、データフォーマットとデータ間の関係性も示れないが、様々なデータフォーマットが必要である。通常の軍事施設には、このようなものが考えられていない。既存のシステム、システムを追加の処理機能で拡張しなければならぬが、資金の都合で無理。本発明は完全に再設計するところではない。このため、本発明では APAP プログラムに代わって、予備補助プログラムの提供とする。この場合、本発明では、表示に見える特殊な制御シー、ユーザプログラム・インタフェース (API) が提供される。表示中にも、六軸ス・システムに提供されるデータは、本発明の制御装置を介して表示器上で移動される。その後、表示に書込みを続け、制御シー・システム・ユーザプログラム・システムに提供してデータが抽出され、必要な理解入力、その結果、制御シー・システム、ユーザプログラムと補助プログラムの関係が明らかになる。

[illegible]

61

【0240】外部入出力を備えたチップ・アレイ・インタフェース：本発明のチップは、高速入出力接続方式を提供するものであり、2つのアレイ・ノード間にスイッチを配置することによって実現される。このスイッチにより、アレイとの並列通信が可能になる。高速入出力は、アレイ・ノードの1つの端子に沿って実施され、Xバース、Yバース、Wバース、Zバースの4つで規模なび、3として機能する。この高速入出力は「データ接続」という名前が付けられている。オ、トポロジの間でデータを転送できるようにしたから、スイッチ遅延を追加するだけでデータセグ間のデータ転送を行う方法は、他に例のないカード技術である。この切替方式はXバース、Yバース、Wバース、Zバースによって作成されたリフレクトポイントに影響を及ぼすことはなく、特殊ポート・ハードウェアにより、処理要素がデータを処理または経路指定している間にチップ動作が実行できるようになる。

【0241】大規模並列、マルチプロセッサの間でデータを高速にやり取りできれば、システム全体の性能は大幅に改善される。プロセッサの数が増え、メモリ容量も増える次元を減らすずに高速入出力を実施する本発明の方法は、大規模並列環境の分野では例がない。本発明者等は考えている。

【0242】修正バイナリサーチ法を拡張する。このアルゴリズムは、データを備忘録に記憶し、一定時間隔になる、外部入出力バスのアクセスをサポートする。これは、アドレスが与えられた場合にはすでに論理的に破壊することができ、従って、破壊されたデータを含むブロックを、外部入出力バスに接続することができる。このデータを破壊するのは論理的な動作なので、一定の時間間隔で規則的なPME間通信が可能でも、同時に他の時間間隔で入出力が可能になる。修正バイナリサーチ法内のあるいくつかのステップを破壊することによって、システムにより、別の値を入出力の目的で効果的に「読み取」られる。高入出力要求の場合には、修正バイナリサーチ法をベースとして提供される。このアルゴリズムは、修正バイナリサーチ法の1個以上のレベルが存在して、データの複製の次のような並列性、すなわち、データの複製の初期段階と同範囲での複製をサポートするため、システムの間でデータの安全な転送は、システムに直接接続されたシステムの間では可能である。この入出力手法は他に例がなく、この方法によっても、特定のアプリケーションを提供し得る十分な柔軟性をシステムが具備できる。例えば、複製型データ形式B60を称する、図7に示す特定の構成では、ZとWおよびXとYの間のMCAパスは提供される。この手段では、直接転送時に最適化され、この場合、他の特定のアプリケーションに要求を満たすことができる。

P-T-0 Zipper Connection” 报告中，对连接器的第一级设计进行了详细讨论。

62

【0243】構成上、プログラムが個々の処理要素との間でデータおよびプログラムをやり取りする必要に応じて、ジョブのサイズを変えることができる。入出力ジョブの実速度は、接続されたりジョブの数と、PMEスラックと、PMEクロック速度を掛けて2で割った値にほぼ等しい（この計算により、受信PME時間にデータが転送できる。入出力ジョブはn個の場合のと同じでもデータを転送できるので、入出力の争奪がブレイ全体で完全に吸収される）。PME転送速度が5MB/秒で、ブレイ上に64個のジョブを備え、2つのモードのインタレープを使用する既存の技術では、320MB/秒のアレイ転送速度が可能である（図16の典型的なジョブ構成を参照）。図16は、高速入出力、すなわち、ブレイへの別のインタレープとして存在するいわゆる「ジョブ接続」700、710を示している。このジョブ内は、ブレイ751、752、753、754内の複数のモードで複数の方向770、780、790、751、755、757で同報通信が720、730、740、750上に連続することにより、ジョブキーが、ネットワークの1つのモード700または2つのモード700、710上に存在できる。

【0244】今日のMCAでは、毎秒80～160MBの転送速度をサポートするので、車輪ローギアまたはギンタローギア、ギアード車（ジョー）に非常に適している。したがって、車輪の転送速度にはギンタローギア、ギアードギアがあるので、効率はそれよりもいくらか下がる。これにより、人力要件がはるかに軽減される。システムには、複雑なジョーまたはMCAシステムを使用することができ、ギンタローギア、ギアードギアに特化的な、ギアードまたはギンタギアと結合された大規模な外部記憶域をサポートするプロセッサによって、これらの技術は重要であると思われる。このような入力拡張能力は、果たしてこのように多くの特長のものである、将来、大規模並列列マシンの普及や普及しているが、これは、ギンタ並列マシンには組み込まれていなかった。

[illegible]



の相互作用によりオペレーティング・システムのシェルとしての役割を果たす。ソフトウェア・システムとして機能する。ブレイ・デインクタは、この役割を果たす際に、アプリケーション・インタフェースからコマンドを受信し、適切なブレイ命令およびハードウェア・シーケンスを発行して、指定のタスクを実行する。ブレイ・デインクタの主な機能は、PMEに命令を連続的に送り、最適のシーケンスでデータを経路指定することにより、通信量を最大に、衝突を最小に保つことである。

【0246】図7に示したAPAPは、ユーザー・システムを、図13により詳細に示してある。図13は、図14および図15ならびに図19および図20に示すように、制御装置またはブレイ制御装置として機能できるブレイ・デインクタを示している。図13に示すこのブレイ・デインクタ610は、 $n$ 個の同一のブレイ・デインクタ665、670、680、690、512個のPMEのタスク用のブレイ・デインクタ610、アプリケーション・プロセッサ600用ブレイ・デインクタ・プロセッサ・インタフェース630から成る典型的な構成のAPAPの好ましい実施例として示してある。デインクタ・ミニロサライザ650は、タスク制御装置640に必要な、機能を提供し、デインクタ・ミニロサライザ650とタスク制御装置640とで「ブレイ・デインクタ」610を構成している。アプリケーション・プロセッサ・インタフェース630は、ホスト・プロセッサ600およびホスト・デインクタ・デインクタ・ミニロサライザをサポートする。1つまたは複数のホストに接続されたAPAP装置では、ブレイ・デインクタ610は、ユーザーPMEの間のデータ・タスク・フローとして働く。スタンダード・並列処理・システムとして機能するAPAPでは、ブレイ・デインクタ610は、ホスト装置となり、したがって装置入出力活動に間接するようになる。

【0247】ブレイ・デインクタ610は、次の4つの機能領域から構成されている（図13の機能ブロック図参照）。

1. アプリケーション・プロセッサ・インタフェース (API) 600
2. デインクタ・ミニロサライザ (CS) 650 (デインクタ・ミニロサライザ)
3. デインクタ制御装置 (CC) 640 (ハードウェア・ソフトウェア)
4. 高速入出力 (I/O接続) 620

【0248】アプリケーション・プロセッサ・インタフェース (API) 630

接続モードで動作するAPIは、各ホスト・デインクタ・ミニロサライザ650とアプリケーション・プロセッサ600との間のデータ・タスク・フローを管理する。アプリケーション・プロセッサ・インタフェース630は、デインクタ・ミニロサライザ650とアプリケーション・プロセッサ600との間のデータ・タスク・フローを管理する。アプリケーション・プロセッサ・インタフェース630は、デインクタ・ミニロサライザ650とアプリケーション・プロセッサ600との間のデータ・タスク・フローを管理する。

90への命令はどれか、および高速入出力 (I/O) 620用のデータはどれかを決定する。スタンダード・モードでは、アプリケーション・プロセッサ・インタフェース630は、一次ユーザー・プログラム・ホストとして働く。

【0249】これらの各種要件をサポートするために、アプリケーション・プロセッサ・インタフェース630は、ブレイ・デインクタ610内の唯一のデインクタと、APIプログラムおよびコマンドの専用記憶域を備えている。ホストから受信される命令は、APIサブルーチンの実行、追加機能のAPI・メモリへのロード、または新規ソフトウェアのCC・メモリおよびPME・メモリへのロードを要求できる。ソフトウェアの概要の節で述べたように、アプリケーション・プロセッサ・インタフェース630にロードされる初期プログラムを介して、これらの各種の要求を一部のユーザーだけに制限することができる。すなわち、ロードされるオペレーティング・プログラムによって、提供されるサポートの種類が決まる。このサポートは、アプリケーション・プロセッサ・インタフェース630の性能機能に適合するように調節可能である。したがって、管理され十分テストされたサブルーチンを必要とする複数のユーザー、または特定のアプリケーションに対して特定の性能を実現したい個々のユーザーのニーズに合わせてAPAPをさらに調節することができる。

【0250】アプリケーション・プロセッサ・インタフェース630は、高速入出力 (I/O) 間の経路の管理を行う。接続モードのホスト・システムまたはスタンダード・モードのデバイスから受け取ったデータは、ブレイに転送される。この種の動作が開始される前に、入出力を管理するブレイ内でPMEが開始される。MIMDモードで動作するPMEは、高速割込み機能、標準ソフトウェアまたはこの転送用の特殊機能を使用して、SIMDモードで動作するPMEには、詳細な制御命令を提供する必要はない。入出力 (I/O) から送られたデータには、これはほぼ即時の調節が必要である。MIMDモードで動作するPMEは、高速直列・インタフェースを介してアプリケーション・プロセッサ・インタフェース630に信号を送り、アプリケーション・プロセッサ・インタフェース630からの応答を待つ必要はない。一方SIMDモードのPMEは、アプリケーション・プロセッサ・インタフェース630に既に属しているため、受け取るべき出力を待つ必要はない。このようにして、この調節が可能になって、デインクタ・ミニロサライザ650は、デインクタ・ミニロサライザ650とアプリケーション・プロセッサ600との間のデータ・タスク・フローを管理する。

【0251】デインクタ・ミニロサライザ (CS) 650は、デインクタ・ミニロサライザ650とアプリケーション・プロセッサ600との間のデータ・タスク・フローを管理する。デインクタ・ミニロサライザ650は、デインクタ・ミニロサライザ650とアプリケーション・プロセッサ600との間のデータ・タスク・フローを管理する。

6.5

シクロサイザ650は、アプリケーション・プロセス・インタフェース63の出力をFIFOスタックに格納し、クラスタ制御装置640から返される状況(並列入力肯定応答と高速シリアル・バス・ゲータの両方)を監視して、開始する必要がある所望のアクションまたは動作をクラスタ制御装置640に達時に提供する。クラスタ・シクロサイザ650は、クラスタ内で様々なクラスタ制御装置640および様々なPMEをサポートする機能を提供し、アレイをサブセットに分割できるようにする。これを実行するときは、アレイを区別した後、所望の動作を選択的に転送するように関連クラスタ制御装置640に指令する。クラスタ・シクロサイザ650の主な機能は、オーバヘッド時間が最小限になるが、またはPME実行時間の中に埋まってしまふように、すべてのクラスタを動作させ、かつ編成することである。以上、A-SIMD構成でクラスタ・シクロサイザ650を使用することが特に好ましい理由について説明した。

【0252】 クラスタ制御装置（CC）6400： クラスタ制御装置6400は、メイン・クラスタ665中の1組のノード周のBCI605と相互接続する（1ノードが、8個のノードを備えた4次元修正・ハイパーキューブの場合、これは、クラスタ制御装置6400が8・8ノード・アレイが64個のBCI605に接続され、512個のPMEを制御していることを意味。やはり8・8ノードのそのようなクラスタが64個あると、32768個のPMEを備えた完全なシステムとなる）。クラスタ制御装置6400は、MIMDモードで動作する際、クラスタ・シグナロサイザ650から供給されたコマンドおよびデータをBCI並列ポートに送信し、クラスタ・シグナロサイザ650に尋ねて答へデータを返す。SIMDモードでは、インストラクタは同期的に動作し、ステジブと答へる必要はない。クラスタ制御装置6400はまた、高速直列ポートを管理して監視して、ノード内のPMEがサービスを受ける必要のあるかを決定する。そのような要求は、高速度インテリジェント・プロセスからの制御コマンドに記述されたインストラクタ・ステジブの使用可能な間に、クラスタ・シグナロサイザ650に渡される。クラスタ制御装置6400は、構造的なインテリジェント・プロセスを介して、クラスタ内の特定のノードへのインストラクタをクラスタ・シグナロサイザ650に提供する。

【0253】S1MDモードでは、アナログ側が装置640は、無線通信システム上で、PMEの命令を生成してネットワークに送信し、図5Aに示される。S1MDモードでは、アナログ側が装置640は、100Hzの送信レートを有するPME16の命令を生成して送信し、図5Aに示される。PME16は、無線通信システム上で、無線通信システムに送信し、送信したPME16は、無線通信システムに受信される。

【0254】METHYLOBLASTUS, A NEW GENUS OF THE SUBGENUS *Blasius*

66

640は、endop信号を待ち、該信号を受信後、PMEに新規命令を発行する。MIMDモードの概念は、PMEに常駐する固有命令でマイクロルーチンの文字列を構築することである。これらの文字列をまとめて、エミュレートされた命令を形成することができ、かつこれらのエミュレートされた命令を組み合わせて、サービス・キヤンド・ルーチンまたはライブラリ関数を作成することができる。

【0255】SIMD、MIMD（SIMIMD）モードでは、クラス制御装置640が、SIMDモードの場合と同様に命令を発行し、一定のPMEからのend of p信号が来るとそれを検査する。MIMDモードのPMEは、同報通信命令に応答せず、これらの指定された動作を継続する。独特の状況標識が、クラス制御装置640がこの動作を管理し、その後の命令をいつどこに提供するかを決定するのを助ける。

【0256】オペレーショナル・プロセッサ・レベル：本明細書では、各種ハードウェア構成要素によって実行されるサービスについての詳細な説明を行うために、オペレーショナル・プロセッサ・レベルの概要を示す。

【0257】一般的に使用されるコンピュータ・システムはオペレーティング・システムを有する。大部分の大規模MIMDマシンでは比較的に完全なオペレーティング・システム・カーネルを備わなければならない。このようなマシンでは、アーキテクチャ・コンプライアンスのCPIIチェックがMarchなどのカーネルを実行する。オペレーティング・システム・カーネルは、システム・リソースの引渡しまたは「共有」・「ホスティング」を要求すること。SIMDマシンに基づいて他の大規模並列システムは、開発中に機能をほとんど持たない。言い換えれば「プログラム・カウンタ」がないので、カーネル側で実行されるプログラムはない。すべての命令は直接通信される。

[illegible]

なコードを、SIMDモードでPMEのアレイに同報通信することができる。真に並列な内部ループだけがPMEに動的に分配される。これらのループは、他の「ライブラリ」ループの場合と同様、開始時にMIMDモードとなる。このため、単一プログラム複数データ型のプログラム・モジュールが使用できるようになる。これは、同一のプログラムが、組込み同期化コードとともに各PMEモードにロードされ、ローカルPMEで実行される場合に使用される。設計がリンク上では使用可能な帯域幅に影響を及ぼし、システム経路がプログラムによって構成可能なので、ターゲット・ネットワーキング上で高帯域幅リンクが使用でき、しかもサブチップ型のPME間リンクの動的区画が特定の経路上に提供できる帯域幅を、特定のアプリケーションのニーズを満たすように広げることができる。チップから出るリンクは直接相互に連係され、外部論理は必要でない。リンクの十分おい、それらを他のどのリンクに接続できるかについて既定の制約がないので、システムは様々な相互接続ポートローラーを持つことができ、経路指定をプログラムによって動的に行うことができる。

【0259】本プログラムによれば、既存のプログラムの改良やプログラムの解読機能を使用して、構成に基づいてシステムまたはプログラムのシーケンス上で実行可能な並列性のプログラムを作成することができ、単一プログラムの複数データ・ストリーム間の異質性（ホモ・ヘテロ）をプログラムの解読にかけて、依存性、データ、および制御を調べることが可能で、プログラムのソースを拡張して、呼び出し文書、依存性表、別名、変換表などを求めることができる。その後、プログラムの変換を行って、ターゲットの組合せまたはターゲット認識により明示的なコンパイル指示を作成して、並列性の度合いを拡大する、修正（リセージ）のプログラムを作成する。次のステップは、ターゲット生成を行い、データ制御および区分分割を行うのである。ここでは、データ用途ターゲットが解読され、組み合わせられる要素が共通の表現形式、プログラムの指定ターゲットを共有するように判別・分類される。これらの動作に従って、通信モードとデータの組立のプログラムの、おおよそ分岐および制御命令が提供される。この結果で、プログラムはシステム区分分割、識別、再コンパイル、区分分割が行われる。プログラムの新しい、新しい制約装置（ハードウェア・ソフトウェア610)またはソフトウェア制約装置(640)。これはプログラムの実行された場合、分離される。各プロセス部分は、システム中である必要に応じて、予備同期化機能面によって管理される。同時に、システムの種別を進めることができ、システム・オブジェクト、プログラムの、プログラムの作成し、プログラムの（FORTRAN）、読み込み、生成、修飾、再コンパイル、再コンパイル、再制約装置による再コンパイル、再コンパイル（PAVE)などの要があり、プログラムの再コンパイルと再使用が可能で、同時に、新しいプログラムの（FORTRANまたはC言語）、読み込み、生成し

MEコードおよびアレイ制御装置コードを生成する中間レベル言語表現にされる。PMEコードは、PMEマシン・レベルで作成され、負荷をPMEメモリに渡すライブラリ拡張部分を備える。実行中、PME並列プログラムの、SPMD実行プロセスで、実行時ライブラリ・カーネルから、すでにコード化されたアセンブリ・サービス機能を呼び出すことができる。AAPAPは、ホストと密接または疎に結合された接続装置としてもスタンダードアレイ・プロセスサとしても機能できるので、上位レベル・ソフトウェア・モデルではいくつかの変形がある。ただし、それらの変形は、各種のアプリケーションを統合して、ただ1組の上位機能で3つのアプリケーションをすべて満足できるようにする働きをする。まず接続ハードウェアのソフトウェアについて述べ、次にスタンダードアレイ・モードに必要な修正について説明する。

【0260】図20に示すように、APAPをホスト・プログラムに移植するシステムでは、ユーザのプログラムがホスト内に存在し、所望の負荷平衡を行うのに必要なAPAP装置タスクおよび関連データを実行する。ゲームが与えられたタスクのプログラムをホスト内で解釈するかブレイク・ポイントタスク610内で解釈するかは選択は、ユーザが作り、ホスト・レベルの解釈では、ブレイク・ポイントタスク610がブレイク・ポイント制御を使用しないというよりむしろ、ユーザの形で移動できるようにする。APAP解釈では、制約が破れる待ち時間は最短になるが、複数ユーザ管理タスクを実行するためAPAP時間を制限する傾向がある。これにより、APAPおよびホストを密接に統合できるとの概念が成立する。

【0261】 堅固な生糸を2つ割らる。

【0262】1. 移動小数点・マトリ機構を備えた3090シリーズのマシンにAPAPを接続すると、APAPには圧縮形式のワード・データが格納できる。異なる疎密特性を持つ2つのマトリに対してベクトル演算を呼び出した場合、ベクトル形式は、データを配置命令に直して要素ごとに一致させられ、使用可能なマトリ機構に出力し、各マトリ機構からの回答を読み取り、最後にベクトルを再構成して最終的疎密形式にする。APAPの命令は、APAPソフト・システムは、疎密形式のワード・データの解釈および構成上、他のソフトウェアは、PME側でデータを扱うより、移動小数点・マトリを介して疎密に配置命令で表せることを導出する。

[illegible]



72

理ステップ、および出力フォーマット化)に分割されることが分かっている。密並列性は、セクション内の $n$ 個のプロセッサ・メモリがプログラム・フローに適用することによって生成される。プロセッサ・メモリに疎区分を適用すると、MIMDに適した小規模な反復タスク、またはSIMD処理に適したメモリ帯域幅制限タスクが見つかることが多い。本発明では、従来の技術を使用してMIMD部分をプログラミングし、残りの部分を、サブ最適化のタスクでさらに分割され、アドレス制御装置によって順序付けされたA-SIMDタスクとしてプログラミングする。これにより、大規模な制御装置・メモリがプログラム記憶域となる。セクション当たりのPMEの数を従えて、作業負荷のバランスを取ることができる。アドレス付けされるタスク・サイズを変えると、BCIの帯域幅を制御要件に合わせて調整できる。

【0280】このプロポーション・モジュールでは、データ要素をPMEに割振ることも考慮している。この手法では、PME間でデータ要素が均等に分配される。ソフトウェアドキュメントにおいては、これはプロポーションまたはプロポーションによって実行されることになる。本発明者等は、この問題にIBM系列化のこの技術が適用できると考えており、該技術の使用法を請求する予定である。しかし、提供されるPME間帯域幅に基き、この手法の重要性が低下する傾向がある。これらによって、帯域幅増強、または力機構的能力に係与される。

30

36

46

11

ではない。PME間に分散されたベクトル・データ要素を移動する場合について考えてみたい。本発明のアプローチでは、アドレス・ヘッダなしでデータを送信できるので、非常に高速の入出力が可能となる。しかし、多くのアプリケーションでは、1方向の移動に適するようにデータ構造を最適化する、直交方向でのデータの移動が遅いことが分かった。そのような場合の時間損失は通常、システムワーク内でデータをストランドに経路指定する平均時間に近くなる。したがって、(データを整列するのではなく)データを逐次のまたはストランドに格納した方が、平均処理時間が短いアプリケーションができる。

【0283】同期化により平均アクセス時間を利用できるアプリケーションが多い(たとえば、PDE緩和プロセスは、隣接プロセスからデータを獲得し、したがって少なくとも4つの入出力動作に対するアクセスを平均化できる)。散乱集合や行・列演算などベクトル・プロセスおよびブレイク・プロセスに適用可能な因子を検討して、同様の強制データ割振りがアプリケーションに適していることに気付くべきであると考えられる。しかし、アプリケーションの特性が特定のデータ割振りを必要とする傾向がある(たとえば、句の必須同期化を必要とする)ことを示す例もある。この特性については、開発されるハードウェア技術で、データ格納の柔軟調整、あるいは単純な非最適データ割振、を必要とする必要がある(たとえば、ベクトル・セル・プロセッサでは非最適性のポートをMPPに提供するため、ホスト・システム・タスクによる非最適データ割振を必要とする)。すなわち、ハードウェア・およびアプリケーション・特性によって、得られる性能を調べることができる)。

【0284】なお、標準ピッチド演算によるデータ損失では、列ではなく、行のシフトが必要である。列が高速シフト方向になれば、データを配列することにより得られる性能の増は2:1を超える。さらに、列としても、バッチ判定の関係により、行を整理しても利益はない。

[illegible]

【0286】MPP用の可能なアプリケーション・プログラミング技術が2つあると本発明者等は考えている。もっともプログラマ集約的でない手法では、アプリケーションをベクトル化された高位言語で書く。この場合、ユーザが、当該問題ではデータの格納が調整されないと思う場合は、コンパイル時サービスを使って、PMEアレイにデータを割り振る。アプリケーションは、PMEアレイ上で解釈および実行するために制御装置に渡される。BLASなどのベクトル呼出しを使用する。ホストとPMEアレイの間でデータを移動するときは、独特な呼出しが使用される。要するに、ユーザは、MPPがデータをどのように編成または処理したかを認識する必要がない。この種のアプリケーションのために次の2つの最適化技術がサポートされる。

【0287】1. データ割振り表を作成することによつてデータ割振りを修正すると、プログラムはデータ格納を強制できるようになる。

【0288】2. プレイ画面装置によって実行される付加ベクトル・コマンドを生成するに、副機能の調整（すなわち、ゲーム進歩を単一の演算として呼び出すこと）が可能になる。

【01089】姓名、エピソードなどは本稿の冒頭で説明したような特殊な形式のマークアップに適用されることと發明者等に考てられる。その場合、マークアップ・コードには必ず付与される。これは一考使用される。また、そのほかのマークアップ・コードは、編集の適合には、特定のマークアップ・コードに代えて記述されることも重要になっていく。その代りには、S-IMDマーク、M-IMDマーク、またはA-S-IMDマークに何処に適用されるべきかが必要になると思われる。これらのマークアップは、以下の組合せを使用する。

【０２９０】１．フレイ制御装置内のエミュレータ機能に渡されるPME固有命令の、アドレス、エミュレータは、命令およびそのパラ、ータを次の1組のPMEに同報送付する。このSIMDモードのPMEは、命令を解読機能に渡し、データ取出し動作を実行し、リポートする。

【0291】2. 大出力同期化である希土内部モードは、PME固有のISAプログラムを使用する。それにより、S IMDモードの過渡から開始した後、M IMDモードで連続的に実行される「FRETURN」命令を含んでS IMDモードに戻るオプレーションが存在する。

[illegible]
$$g_{\alpha} = \frac{1}{n} \sum_{j=1}^n g_j(\theta) + \frac{\sigma^2}{n} \left( \frac{1}{n} \sum_{j=1}^n \frac{d^2 g_j(\theta)}{d\theta^2} \right) + o_p(n^{-1})$$



のPMEマシン・レベル命令に拡張され、すべてのPMEがMIMDモードでプログラムを実行することになる。プログラム同期化は入出力サポートメントによって管理される。このプログラムは全く簡単な形で1PME当たり複数のデータ要素に拡張され、非常に大規模な並列サポートに拡張される。

【0300】CC記憶域の内容：CC記憶域のデータは、PMEレイによって、2つの方法のうちのどちらかで使用される。PMEがSIMDモードで動作しているとき、一連の命令をクラスタ制御装置640が取り出し、ロードBCIに渡し、それによってアプリケーション・プロセス・インスタンス630とクラスタ・シミュレータ650の負荷を軽減させることができる。あるいはまた、PME障害再構成ソフトウェア、PME診断、およびおそれる変換ルーチンなどの頻繁には必要とされない機能を、CCメモリに格納することができる。その場合、そのような機能を、動作中のPME SIMDプログラムが要求することができ、あるいはAPIプログラムと指示の要求に応じてPMEに移すことができる。

【0301】8 方向修正バレーキューの一部のバレーキューが、本発明のバレーキュー設計技術では、単一キューにバレーキュー、N 方向修正バレーキューで構成して整列させ、8 個の PME を使用する。このキュー・グループはバレーキュー、またはバレー・キューが、APAP 設計における最小の構成単位である。これらのバレーキューは、8 × 8 グリッドにバレーキューされる。このグリッドでは、+X および +Y がリンクまたはクラスター内でリンクを構成し、+W および +Z が隣接クラスターまで伸びる。クラスターがまとまってリンクを構成する。このバレーキューによって、リンクのデータ用および制御用のバレーキューが大幅に削減される。W リンクおよび Z リンクは、隣接クラスターと接続され、W リンクおよび Z リンクを形成する。様々なサイズの形成したリンクを総合的に接続する。大規模並列システムは、これらのクラスター構成単位から構成され、PME の大規模なリンクを形成する。APAP はクラスターの 8 × 8 グリッドから成り、各クラスターはそれ自体で制御装置を有する。システムで制御装置は、バレー・キュー・リンクを 6:10 によって同期化される。

[illegible][illegible]

して、ワイヤ数に関して所望の結果を得ることである。

【0304】ハイパーキューブの実際の修正の度合いを定義するための方法については、上記の特許出願第07-169886号を参照されたい。この好ましい実施例では、説明を簡単にするため、2つのハイパーキューブ・システムについて説明する。これは拡張可能である。

【0305】第1のチャネルは、図4および図12に示すチャネル設計またはチャネル・プラン・キーによって与えらる。8つの処理要素と、それらに結合され、その中および通信論理回路が、モードとして定義され、単一のチャネルに含まれている。内部構成はハイパス・フィルタ・キューまたは2次ハイパス・キューとして分類され、おのれはPMEが2つの隣接PMEと接続されている。図10のPME間通信区、特に500、510、520、530、540、550、560、570を参照されたい。

【0306】第2のステップでは、モードが8×8ブレイクとして構成され、クラスタを形成する。完全装備のマシンは、クラスタの8×8ブレイクで構成され、最大容量のPME32768個を提供する。これらの4096個のモードが接続されて、モード間通信が可能であり、可能な、8次元ハイパーキューブ・ネットワークを形成する。これにより、様々な指定経路が確立可能となり、様々な長さの、1セーブル伝送路するための柔軟性が増す。これは、多機能性、多可能性機能により、1セーブル長を数メートルから数百キロメートルに拡張することが出来る。

【10307】この「ホーケー」の概念は、各クラス内の「スパーダ・エース」数を大幅に削減することを目的としている。この概念では、各カード825が合計512のPME用の8つの物理要素を持つ。クラス内の8×8ビット820によって定義されるクラスを使用し、次にクラス内でXビットおよびYビットを制限し、最後にWビットおよびZビットをすべてがクラスまで延ばす。物理的な案は、64個の小さなビット830からなる総構成800、810を頭に描くこと。将来のホーケーの設計においては、この「ホーケー・スパーダ」の技術を示す図17を参照されたい。ここでは、クラス内でXビットおよびYビット800が制限され、WビットおよびZビットがすべてがクラス810を超えていく。物理的な案は、64個の小さなビット830からなる総構成を頭、描くこと。

[illegible]





ientific Visualization System) など様々なマシン上で使用できるので、本明細書に記載するAPAP設計と、これらの他の、システムの性能を大幅に上回る、たとえば128000個のPMEとを使用する、MMPに適したアプリケーションとして使用でき、アプリケーションの実験による、近似の品質がセリサ雑音のレベルを下回り、したがってその応答がAWACSなどのアプリケーションに適用可能である。図27に、提案されたラゲスと2次元の還元n次元割当てアルゴリズムに関する処理フローを示す。この問題は、周知の2次元割当て問題の、非常に制限された繰返しを使用している。このアルゴリズムは、従来のセリサ・フロー・図法処理で使われたものと同じである。

【0318】たとえば、図26以降に示す7組の観測値にn次元アザリウムを適用し、還元プロセスの各プロセスに2次元割当てプロセスの繰返しが4回必要であるものとする。そうすると、新規に8次元割当て問題では、2次元割当て問題を4000回繰返す必要がある。AWACSの作業負荷は現在、ハード容量の約90%である。ユーザーによってはおそらく全容量の10%が必要であるが、そのハードは小規模な容量でも、4000倍にスケールアップされると約利用量はAWACSの容量の370倍になる。この作業負荷は既存のプロセッサの性能を超えているわけではなく、新しいMIL環境に適合する既存の種別処理、スケール、または今後数年間に予想されるスケールでも、可能である。アザリウムにおいて1スケール割当て問題で4回ではなく5回の繰返しが必要な場合、仮設上のプロセスの性能さえも超えてしまう。逆に、MPP解決は、この計算能力を提供でき、5回繰返しがハードでも可能である。

【0319】機械的、電気的に接続した４および他の図面に示すように、本発明の好ましい実施形態は、点対点で接続された直方形で構成される。したがって、チップをレジスタ積みして、チップ間の内で様々な２次元構成および３次元構成が形成することができ、８個以上のPMEが形成する１つのチップが、第１レベル・バッファケージ・モジュールである。同様に、単一のDRAMモジュールは、チップを積んで形成するメモリスロットの第１レベル・バッファケージ・モジュールである。したがって、各メモリスロットは直方形であり、4平方センチメートル程度が可能になる。各接点は土地の間接接点である（第１レベル・バッファケージの１つのチップは、その底に16個の接点を有している）。本発明では、この特徴により、本発明の性能目標を表現するために十分な規模のPMEネットワーク構築できる。基礎的には、11個のチップ、17個のポート、A値は500平方センチメートルと見做し、これは必要最小限の面積であり、中間的な設計では、チップの面積を増加させたA、またはチップ間の距離を増加させて面積を増加させることができる。

[illegible]

ゲート・キー・チェイン接続するバス・システムがないので、高性能を実現し、電力散逸を抑えることができる。本発明ではノード間の同報通信を行いが、これを高性能経路とする必要はない。大部分のゲート操作がノードで行えるので、必要なゲータ経路要件が少なくなっている。本発明の同報通信経路は基本的に、主として制御装置経路指定ノードとして使用される。ゲータ・ストリームは、ZWNY通信経路システムに接続され、該システム中を流れる。

10 【0321】本発明における電力散逸は、本発明の商用  
マウスケーブルにおいては1ノード・ケーブル当たり約  
2、2Wである。したがって、空冷式のケーブルングが  
使用可能である。このため、本発明のシステムの電力要  
件も妥当である。例示した本発明の電流システムでは、  
サポートされるマイクケーブルに数に1ケーブル当たり約  
2、5Wを要する。そのような5V電圧は費用効果が非  
常に高い。電力消費量については、驚くべきことに、本  
を読むのに必要な明かりで消費される量より少ない電力  
量でも2個のマイクケーブルコンピュータが稼働できる。

20 【0322】本発明の熱的設計は、この3段階によって改修される。本発明では、高散逸割合と低散逸割合が混ざることによる過熱点を避けている。これは、相互に排反の原理で示された。

【0323】本発明のシステムは、ハード上に  
スレーブ装置、特に内蔵を配置する手法に比べて非  
常に魅力的である。本発明の1つの態様が、1製品タイプが  
当た、1は電力が当たり1W当たり1個のチップ当たり  
の性能は、公知の系統に比べて、

【図 2-4】さらに、本発明では、他の技術と同一数の  
30 パラメータ（ $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ ）が必要でない。また、 $\gamma$ 、 $\delta$ 、 $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  および  $\gamma$ 、 $\delta$  も必要でない。望  
むなら  $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  のみを省略することもできる。本発明  
の他の実施例では、 $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、 $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  とおくとともに、この  
レンダリング手法では、 $\gamma$ 、 $\delta$ 、 $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$  を省略した。

[illegible]



5%を使用すると、処理と、必要なブループリント・レートとのバランスが取れる。その場合、A-SIMD処理モードにあるマシンの15%が、疎なフィルタ操作を通過する場合に、未知の指紋をファイアの指紋と突き合わせて詳細な検査を行うことにより、突き合せを完了すると本発明者等は推定している。この間、マシンの残りの部分はMIMDであり、予備容量、作業待ち行列の管理、および出力のフォーマット化に割り振られた。

【0335】3. MPPのデータベース操作への適用を考慮した。この作業は、極めて予備的なものであるが、適合性は良いと思われる。MPPの2つの照像がこの前提を支持している。

a. クラスタ制御装置640とアプリケーション・プロセッサ・インタフェース630の接続はマイクロチャネルである。したがって、クラスタ専用で、クラスタから直接アクセスされるDASDを配置することができる。1クラスタ当たり6台の640MBハード・ドライブを備えた64クラスタ・システムは、246GBの記憶域を提供する。さらに、このデータベース全体が10〜20秒で逐次的に探索できる。

b. データベースは一般に、逐次的に探索されない。その代わり、多数のインベキのポインタを使用する。データベースの索引付けは、クラスタ内で実施できる。DASDの各インベキは、2.5GIPSの処理能力および32MBの記憶域によってサポートされる。これは、インベキ・クラスの探索および格納にとって十分である。インベキ・クラスは現在、DASD内に格納されることが多いので、性能が大幅に向上する。そのような手法を使用し、クラスタ・マイクロチャネルに接続されたSCSIインタフェース上にDASDを分散させると、実質上無限のサイズのデータベースが作成可能である。

【0336】図29に、APAPを使用して構築したスーパーコンピュータ・スケールのMMPを示す。この手法では再び単位の複製が使用されているが、この場合は

複製されるのは、16個のクラスタを収容する格納装置である。この複製手法の特定の利点は、システムをユーザのニーズに適合するようにスケールアップできることである。

【0337】システム・アーキテクチャ：現在の好ましい実施例で使用されるシステム・アーキテクチャの利点は、ISAシステムが、APAPのプログラミングに携わる多数のユーザに理解されることである。PME-ISAは、以下の表に示すデータ・フォーマットおよび命令フォーマットから構成される。

【0338】データ・フォーマット：基本（オペランド）サイズは16ビット・ワードである。PME記憶域では、オペランドは流合ワード境界上に位置する。ワード・オペランド・サイズだけでなく、16ビットの倍数の他のオペランド・サイズも、追加機能をサポートするのに使用できる。

【0339】オペランド長の範囲内で、オペランドのビット位置は、0から始めて左から右に連続して番号を付ける。上位ビットまたは最上位ビットを参照すると必ず、1番左側のビット位置が参照される。下位ビットまたは最下位ビットを参照すると必ず、1番右側のビット位置が参照される。

【0340】命令フォーマット：命令フォーマットの長さは、16ビットまたは32ビットとすることができる。PME記憶域では、16ビット境界上に命令が位置しなければならない。

【0341】表1に示す汎用命令フォーマットを使用する。通常、命令の最初の4ビットは、命令コードを定義し、OPビットと呼ばれる。命令の定義を拡張するか、または命令に適用される固有の条件を定義するために、追加ビットが必要になる場合がある。これらのビットをOPXビットと呼ぶ。

【表1】

フォーマット・コード	命令
RR	レジスタ間
DA	直接アドレス
RS	レジスタ記憶域
RI	レジスタ即値
SS	記憶域間
SPC	特殊

【0342】表2に示す汎用命令フォーマットは、命令コードを定義する。

【0343】表3に示す汎用命令フォーマットは、命令コードを定義する。

【0344】表4に示す汎用命令フォーマットは、命令コードを定義する。

ドは、ときには命令コード拡張フィールドとともに、実行すべき動作を定義する。

【0344】個々のフォーマットの詳細な図と、それらのフィールドの解釈を以下の節に示す。命令によっては、2つのフォーマットが組み合わされ、変種の命令を形成しているものもある。これらは主として、命令のアドレス指定モードに関するものである。1例として、記憶域間命令は、直接アドレス指定またはレジスタ・アドレス指定に関係する形式を持つことがある。

【0345】RRフォーマット：レジスタ・レジスタ（RR）フォーマットは、図30に示すように、2つの汎用レジスタ・アドレスを提供し、長さ16ビットである。

【0346】RRフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0347】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるのかを指定するのに使用する。

【0348】ビット8～11：0-ビット8が0の場合、フォーマットがRRフォーマットまたはDAフォーマットと定義され、ビット9～11が0の場合は、動作がレジスタ間動作と定義される（直接アドレス・フォーマットの特殊な場合）。

【0349】ビット12～15：レジスタ・アドレス2-R Bフィールドは、16個の汎用レジスタのうちのどれをオペランドとして用いるかを指定するのに使用する。

【0350】DAフォーマット：直接アドレス（DA）フォーマットは、図31に示すように、1つの汎用レジスタ・アドレスおよび1つの直接記憶域アドレスを提供する。

【0351】DAフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0352】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるのかを指定するのに使用する。

【0353】ビット8：0-ビット8が0の場合、動作が直接アドレス動作またはレジスタ間動作と定義される。

【0354】ビット9～15：直接記憶域アドレス-直接記憶域アドレス・フィールドは、16個の直接記憶域アドレスまたは間接記憶域アドレス・フィールドとして使用する。直接アドレス・フィールドは、ビット9～11に、直接アドレス形式を定義するが、0ではないことはない。

【0355】RSフォーマット：レジスタ・記憶域（RS）フォーマットは、図32に示すように、1つの汎用レジスタ・アドレスと1つの記憶域アドレスを提供する。

る。

【0356】RSフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0357】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるのかを指定するのに使用する。

【0358】ビット8：1-このビットが1の場合、動作がレジスタ記憶域動作と定義される。

【0359】ビット9～11：レジスタ・データ-これらのビットは、RBフィールドによって指定されるレジスタの内容の修正に使う符号付きの値とみなされる。

【0360】ビット12～15：レジスタ・アドレス2-R Bフィールドは、16個の汎用レジスタのうちのどれをオペランドとして用いるかを指定するのに使用する。

【0361】RIフォーマット：レジスタ即値（RI）フォーマットは、1つの汎用レジスタ・アドレスおよび16ビットの即値データを提供する。RIフォーマットは、図33に示すように、長さ32ビットである。

【0362】RIフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0363】ビット4～7：レジスタ・アドレス1-R Aフィールドは、16個の汎用レジスタのうちのどれを、オペランドまたは宛先、あるいはその両方として用いるのかを指定するのに使用する。

【0364】ビット8：1-このビットが1の場合、動作がレジスタ記憶域動作と定義される。

【0365】ビット9～11：レジスタ・データ-これらのビットは、プログラム・カウンタの内容の修正に使う符号付きの値とみなされる。通常、レジスタ即値フォーマットではこのフィールドは、1の値をとる。

【0366】ビット12～15：0-このフィールドが0の場合、即値データ・フィールドを指す更新済みプログラム・カウンタを、オペランドの記憶域アドレスとして使用することが指定される。

【0367】ビット16、31：即値データ-このフィールドは、レジスタ即値命令の16ビット即値データ・オペランドとして機能する。

【0368】SSフォーマット：記憶域間（SS）フォーマットは、2つの記憶域アドレスを提供する。一方は明示的で、他方は暗示的である。暗示記憶域アドレスは、汎用レジスタ1に入れられる。レジスタ1は、命令が実行時に修正される。SS命令は、図34に示すように、直接アドレス形式または記憶域アドレス形式の2つの形式がある。

【0369】SSフォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0370】ビット4～7：命令指定フィールド-OPXフィールドは、命令のオペレーション、および動作動作を指

10

20

30

40

50

義する。ビット4～5は、ADDやSUBTRACTなどの演算タイプを定義する。ビット6～7は、繰上り、桁あふれ、および条件コードの設定方法を制御する。ビット6=0のときは桁あふれが無視され、ビット6=1のときは桁あふれが可能になる。ビット7=0のときは演算中のcarry statが無視され、ビット7=1のときは演算中にcarry statが含まれる。

【0371】

ビット8:0形式を直接アドレス形式と定義する。

1形式を記憶域アドレス形式と定義する。

【0372】ビット9～15:直接アドレス(直接アドレス形式)ー直接記憶域アドレス・フィールドは、レベル固有記憶域ブロックまたは共通記憶域ブロックへのアドレスとして使用する。直接アドレス・フィールドのビット9～11は、直接アドレス形式を定義するため、非0でなければならない。

【0373】ビット9～11:レジスタ・デルタ(記憶域アドレス形式)ーこれらのビットは、REフィールドによって指定されるレジスタの内容の修正に使う符号付きの値とみなされる。

【0374】ビット12～15:レジスタ・アドレス2(記憶域アドレス形式)ーREフィールドは、16個の汎用レジスタのうちのどれをオペランドの記憶域アドレスとして用いるかを指定するのに使用する。

【0375】SPCフォーマット1:特殊(SPC1)フォーマットは、図35に示すように、1つの汎用レジスタ記憶域オペランド・アドレスを提供する。

【0376】SPC1フォーマットは、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0377】ビット4～7:OP拡張ーOPXフィールドは、命令コードを拡張するのに使用する。

【0378】ビット8:0または1ーこのビットが0の

場合、動作がレジスタ動作と定義される。このビットが1の場合、動作がレジスタ記憶域動作と定義される。

【0379】ビット9～11:命令長ーこれらのビットは、オペランドの長さを16ビット・ワードで指定するのに使う符号付きの値とみなされる。0の値は長さ0に該当し、B'111'の値は長さ8に該当する。

【0380】ビット12～15:レジスタ・アドレス2ーREフィールドは、16個の汎用レジスタのうちのどれをオペランドの記憶域アドレスとして用いるかを指定するのに使用する。

【0381】SPCフォーマット2:特殊(SPC2)フォーマットは、図36に示すように、1つの汎用レジスタ記憶域オペランド・アドレスを提供する。

【0382】SPC2は、命令コード・フィールドの他に、次のフィールドを含んでいる。

【0383】ビット4～7:レジスタ・アドレス1ーRAフィールドは、16個の汎用レジスタのうちのどれをオペランドまたは宛先、あるいはその両方として用いるのかを指定するのに使用する。

【0384】ビット8～11:OP拡張ーOPXフィールドは、命令コードを拡張するのに使用する。

【0385】ビット12～15:レジスタ・アドレス2ーREフィールドは、16個の汎用レジスタのうちのどれをオペランドの記憶域アドレスとして用いるかを指定するのに使用する。

【0386】命令セット・アーキテクチャの命令セットには、下記の命令が含まれる。表2～8は、PMEのハードワイヤ式命令を示している。表2は、固定小数点演算命令を示す。表3は、記憶域間命令を示す。表4は、論理命令を示す。表5は、シフト命令を示す。表6は、分岐命令を示す。表7は、状況切換え命令を示す。表8は、入出力命令を示す。

【表2】

10

20

30

## 固定小数点演算命令

名前	略号	TYPE
ADD DIRECT	ada	DA
ADD FROM STORAGE	a	RS
(WITH DELTA)	awd	RS
ADD IMMEDIATE	ai	RI
(WITH DELTA)	aiwd	RI
ADD REGISTER	ar	RR
COMPARE DIRECT ADDRESS	cda	DA
COMPARE IMMEDIATE	ci	RI
(WITH DELTA)	ciwd	RI
COMPARE FROM STORAGE	c	RS
(WITH DELTA)	cwd	RS
COMPARE REGISTER	cr	RR
COPY	cpy	RS
(WITH DELTA)	cpywd	RS
COPY WITH BOTH IMMEDIATE	cpybi	RI
(WITH DELTA)	cpybiwd	RI
COPY IMMEDIATE	cpyi	RI
(WITH DELTA)	cpyiwd	RI
COPY DIRECT	cpyda	DA
COPY DIRECT IMMEDIATE	cpydai	DA
INCREMENT	inc	RS
(WITH DELTA)	incwd	RS
LOAD DIRECT	lda	DA
LOAD FROM STORAGE	l	RS
(WITH DELTA)	lwd	RS
LOAD IMMEDIATE	li	RI
(WITH DELTA)	liwd	RI
LOAD REGISTER	lr	RR
MULTIPLY SIGNED	mpy	SPC
MULTIPLY SIGNED EXTENDED	mpyx	SPC
MULTIPLY SIGNED EXTENDED IMMEDIATE	mpyxi	SPC
MULTIPLY SIGNED IMMEDIATE	mpyi	SPC
MULTIPLY UNSIGNED	mpyu	SPC
MULTIPLY UNSIGNED EXTENDED	mpyux	SPC
MULTIPLY UNSIGNED EXTENDED IMMEDIATE	mpyuxi	SPC
MULTIPLY UNSIGNED IMMEDIATE	mpyui	SPC
STORE DIRECT	stda	DA
STORE	st	RS
(WITH DELTA)	stwd	RS
STORE IMMEDIATE	sti	RI
(WITH DELTA)	stiwd	RI
SUBTRACT DIRECT	sda	DA
SUBTRACT FROM STORAGE	s	RS
(WITH DELTA)	svd	RS
SUBTRACT IMMEDIATE	si	RI
(WITH DELTA)	siwd	RI
SUBTRACT REGISTER	sr	RR
SWAP AND EXCLUSIVE OR WITH STORAGE	swapx	RR

## 記憶域間命令

名前	略号	TYPE
ADD STORAGE TO STORAGE (WITH DELTA)	sa	SS
ADD STORAGE TO STORAGE DIRECT	sawd	SS
ADD STORAGE TO STORAGE FINAL	sada	SS
(WITH DELTA)	saf	SS
ADD STORAGE TO STORAGE FINAL DIRECT	safwd	SS
ADD STORAGE TO STORAGE INTERMEDIATE	safda	SS
(WITH DELTA)	sai	SS
ADD STORAGE TO STORAGE INTERMEDIATE DIRECT	saiwd	SS
ADD STORAGE TO STORAGE LOGICAL	saida	SS
(WITH DELTA)	sal	SS
ADD STORAGE TO STORAGE LOGICAL DIRECT	salwd	SS
COMPARE STORAGE TO STORAGE	salda	SS
(WITH DELTA)	sc	SS
COMPARE STORAGE TO STORAGE DIRECT	scwd	SS
COMPARE STORAGE TO STORAGE FINAL	scda	SS
(WITH DELTA)	scf	SS
COMPARE STORAGE TO STORAGE FINAL DIRECT	scfwd	SS
COMPARE STORAGE TO STORAGE INTERMEDIATE	scfda	SS
(WITH DELTA)	sci	SS
COMPARE STORAGE TO STORAGE INTERMEDIATE DIRECT	sciwd	SS
COMPARE STORAGE TO STORAGE LOGICAL	scida	SS
(WITH DELTA)	scl	SS
COMPARE STORAGE TO STORAGE LOGICAL DIRECT	sclwd	SS
MOVE STORAGE TO STORAGE	sclda	SS
(WITH DELTA)	snov	SS
MOVE STORAGE TO STORAGE DIRECT	snovwd	SS
SUBTRACT STORAGE TO STORAGE	snovwa	SS
(WITH DELTA)	ss	SS
SUBTRACT STORAGE TO STORAGE DIRECT	sswd	SS
SUBTRACT STORAGE TO STORAGE FINAL	ssda	SS
(WITH DELTA)	ssf	SS
SUBTRACT STORAGE TO STORAGE FINAL DIRECT	ssfwd	SS
SUBTRACT STORAGE TO STORAGE INTERMEDIATE	ssfda	SS
(WITH DELTA)	ssi	SS
SUBTRACT STORAGE TO STORAGE INTERMEDIATE DIRECT	ssiwd	SS
SUBTRACT STORAGE TO STORAGE LOGICAL	saida	SS
(WITH DELTA)	ssl	SS
SUBTRACT STORAGE TO STORAGE LOGICAL DIRECT	sslwd	SS
	sslda	SS



## 論理命令

名前	略号	TYPE
AND DIRECT ADDRESS	nda	DA
AND FROM STORAGE	n	RS
(WITH DELTA)	nwd	RS
AND IMMEDIATE	ni	RI
(WITH DELTA)	niwd	RI
AND REGISTER	nr	RR
OR DIRECT ADDRESS	oda	DA
OR FROM STORAGE	o	RS
(WITH DELTA)	owd	RS
OR IMMEDIATE	oi	RI
(WITH DELTA)	oiwd	RI
OR REGISTER	or	RR
XOR DIRECT ADDRESS	xda	DA
XOR FROM STORAGE	x	RS
(WITH DELTA)	xwd	RS
XOR IMMEDIATE	xi	RI
(WITH DELTA)	xiwd	RI
XOR REGISTER	xr	RR

【表 5】

## シフト命令

名前	略号	TYPE
SCALE BINARY	scale	SPC
SCALE BINARY IMMEDIATE	scalei	SPC
SCALE BINARY REGISTER	scalr	SPC
SCALE HEXADECIMAL	scaleh	SPC
SCALE HEXADECIMAL IMMEDIATE	scalehi	SPC
SCALE HEXADECIMAL REGISTER	scalehr	SPC
SHIFT LEFT ARITHMETIC BINARY	sla	SPC
SHIFT LEFT ARITHMETIC BINARY IMMEDIATE	slai	SPC
SHIFT LEFT ARITHMETIC BINARY REGISTER	slar	SPC
SHIFT LEFT ARITHMETIC HEXADECIMAL	slah	SPC
SHIFT LEFT ARITHMETIC HEXADECIMAL IMMEDIATE	slahi	SPC
SHIFT LEFT ARITHMETIC HEXADECIMAL REGISTER	slahr	SPC
SHIFT LEFT LOGICAL BINARY	sll	SPC
SHIFT LEFT LOGICAL BINARY IMMEDIATE	slli	SPC
SHIFT LEFT LOGICAL BINARY REGISTER	sllr	SPC
SHIFT LEFT LOGICAL HEXADECIMAL	sllh	SPC
SHIFT LEFT LOGICAL HEXADECIMAL IMMEDIATE	sllhi	SPC
SHIFT LEFT LOGICAL HEXADECIMAL REGISTER	sllhr	SPC
SHIFT RIGHT ARITHMETIC BINARY	sra	SPC
SHIFT RIGHT ARITHMETIC BINARY IMMEDIATE	srai	SPC
SHIFT RIGHT ARITHMETIC BINARY REGISTER	srar	SPC
SHIFT RIGHT ARITHMETIC HEXADECIMAL	srah	SPC
SHIFT RIGHT ARITHMETIC HEXADECIMAL IMMEDIATE	srahi	SPC
SHIFT RIGHT ARITHMETIC HEXADECIMAL REGISTER	srahr	SPC
SHIFT RIGHT LOGICAL BINARY	srl	SPC
SHIFT RIGHT LOGICAL BINARY IMMEDIATE	srli	SPC
SHIFT RIGHT LOGICAL BINARY REGISTER	srlr	SPC
SHIFT RIGHT LOGICAL HEXADECIMAL	srlh	SPC
SHIFT RIGHT LOGICAL HEXADECIMAL IMMEDIATE	srlhi	SPC
SHIFT RIGHT LOGICAL HEXADECIMAL REGISTER	srlhr	SPC

【表6】

99

## 分岐命令

名前	略号	TYPME
BRANCH	b	RS
(WITH DELTA)	bwd	RS
BRANCH DIRECT	bda	DA
BRANCH IMMEDIATE	bi	RI
(WITH DELTA)	biwd	RI
BRANCH REGISTER	br	RS
BRANCH AND LINK	bal	RS
BRANCH AND LINK DIRECT	balda	DA
BRANCH AND LINK IMMEDIATE	bali	RI
(WITH DELTA)	baliwd	RI
BRANCH AND LINK REGISTER	balr	RS
BRANCH BACKWARD	bb	RS
(WITH DELTA)	bbwd	RS
BRANCH BACKWARD DIRECT	bbda	DA
BRANCH BACKWARD IMMEDIATE	bbi	RI
(WITH DELTA)	bbiwd	RI
BRANCH BACKWARD REGISTER	bbr	RS
BRANCH FORWARD	bf	RS
(WITH DELTA)	bfwd	RS
BRANCH FORWARD DIRECT	bfda	DA
BRANCH FORWARD IMMEDIATE	bfi	RI
(WITH DELTA)	bfiwd	RI
BRANCH FORWARD REGISTER	bfr	RS
BRANCH ON CONDITION	bc	RS
(WITH DELTA)	bcwd	RS
BRANCH ON CONDITION DIRECT	bcda	RS
BRANCH ON CONDITION IMMEDIATE	bei	RI
(WITH DELTA)	beiwd	RI
BRANCH ON CONDITION REGISTER	ber	RS
BRANCH RELATIVE	brcl	RI
(WITH DELTA)	brclwd	RS
NULL OPERATION	noop	RR

【表 7】

## 状況切替命令

名前	略号	TYPME
RETURN	ret	SPC

【表 8】

SPC

[illegible][illegible]

ブが4K複製されて、アレイを形成する。これには次のような利点がある。

- a. 1つのチップを使用するので、生産ランが最大規模になり、システム要素コストが最低になる。
- b. 規則的なアーキテクチャにより、もっとも効果的なプログラミング・システムが得られる。
- c. はばすべてのチップ・ピンをプロセス間通信という一般的な問題専用にはできるので、MPP設計で重要な制限因子となる傾向がある。チップ間入出力帯域幅が最大になる。

【0393】3. APAPは、チップ技術の利便と、システム・チップ設計に対する資本投資を利用できる、独自の設計能力をもつ。

【0394】浮動小数点性能の問題について考えてみたい。DAXPY上でのAPAP・PME性能は1FLOP当たり約1.25サイクルになる。これとは対照的に、387補助プロセッサは約1.4サイクルであり、一方CM-1のウェイク・コプロセッサ(Weitek Coprocessor)は約6サイクルである。しかし、CMの場合、PME16個ごとに浮動小数点装置が1個しかない。一方N-キューブの場合はおそらく、各386プロセッサに1個の387型チップが結合されている。本発明のAPAPは、1.6倍のPMEを有しており、したがって単一ユニットの性能値をほぼ完全に補償することができる。

【0395】さらに重要なことには、チップ内8個のAPAP・PMEが、現在技術的に可能な50Kゲートから構築されている。メモリ・マクロが縮小されるにつれ、論理回路が使用できるゲートの数が増える。ゲートの増加分を拡張浮動小数点正規化に利用すれば、APAP浮動小数点性能は他の装置をはるかに超えることができるはずである。あるいはまた、システム設計手法を使用してPME設計またはPMEサブセクション設計を行って、マシン用に開発されるソフトウェアには影響を与えずに全体性能を高めることができる。

【0396】本発明のAPAP設計は、将来の処理技術の発展を利用できると本発明者等は考えている。これは対照的に、又1に示したようなシステムを使用する最も類似のマシンであるCM-1xとN-キューブでは、行き詰まっていると思われる従来の技術を利用するにつれてV型に思われる。

【0397】APAP概念の利点は、PME・サブセクション結合されたDASDを使用できることである。つまりAPAP機能は、メインフレームより補助記憶装置を接続できる能力は、PMEチップの外部入出力ポート、アドレスバス、データバスを通じてXDRバスを接続可能である。したがって、APAP・システムは、構成が簡便で、P/S-2のハードウェアRISC-6000に比べて、性能値が向上していることが、上述の性能値の比較と、比較可能なチップ間の入出力帯域幅の比較から明らかである。

に、この機能は、追加の部品モジュールを設計しなくても使用できるはずである。ただし、この場合、使用しなければならないバックパネルおよび基本的格納装置の複製の数は、APAPに必要な数よりも多くなる。

【0398】この簡単な比較は、限定を意図したものではない。当業者は、前述の説明を検討し、上述の多数の発明を用いて、大規模並列システムの技術を、プログラミングが重要な問題でなくなり、そのようなシステムのコストがはるかに低くなるまでに進歩させるにはどうすべきかを考えてもらうためのものである。本発明の種類のシステムは、商業部門レベルの調達で手の届くコストで製作できるので、少数の人だけでなく多数の人に使用可能にすることができる。

【図面の簡単な説明】

【図1】従来の技術を利用した並列プロセッサ処理要素を示す図である。

【図2】従来の技術を利用した並列プロセッサ処理要素を示す図である。

【図3】本発明の新規チップ設計を表す、大規模並列プロセッサの構成単位を示す図である。

【図4】本発明のチップ・シングル・ノード並列プロセッサの好ましい実施例用の好ましいチップ物理クラス・レイアウトを右側に示し、代替技術を左側に示す図である。ここで、各チップは、CMOS・DRAM・メモリ論理回路を備え、5MIPSの性能を提供する、スケーリング可能な並列プロセッサ・チップであり、大規模並列システムの空形式実施を可能にする。

【図5】本発明によるコンピュータ・プロセッサの機能ブロック図である。

【図6】典型的なAPAP・コンピュータ・システム構成を示す図である。

【図7】40ないし193840MIPSの性能のシステムを開発可能にする、PME要素の複製を使用したシステム構築を示される、本発明の密並列プロセッサ技術のシステム概要を示す図である。

【図8】本発明による処理要素(PME)チップ・レイアウトの好ましいレイアウトを用いたハードウェアを示す図である。

【図9】PMEがバスラインで接続された汎用コンピュータとして構成して、ソフトウェア無形式浮動小数点演算によって約5MIPSの固定小数点処理能力は0.4MFLOPSを提供する、PMEチップ・レイアウトを示す図である。

【図10】本発明によって使用されるPME間接続・コネクタ・システム(ハードウェア)によるハードウェア構成である。

【図11】本発明の第一の構成要素の管理、制御、監視機能の概略図である。この図は、本発明の第一の構成要素の管理、制御、監視機能の概略図である。この図は、本発明の第一の構成要素の管理、制御、監視機能の概略図である。



ングを示す図である。これは、他のシステムの性能に匹敵するが、他のシステムよりプリントがはるかに小さい大規模システムである。これは、より小規模なマシンに使用されるような格納装置内でAPAPクラスタを複製することによって構築できる。

【図30】レジスタ・レジスタ(RR)フォーマットを示す図である。

【図31】直接アドレス(DA)フォーマットを示す図である。

【図32】レジスタ記憶域(RS)フォーマットを示す図である。

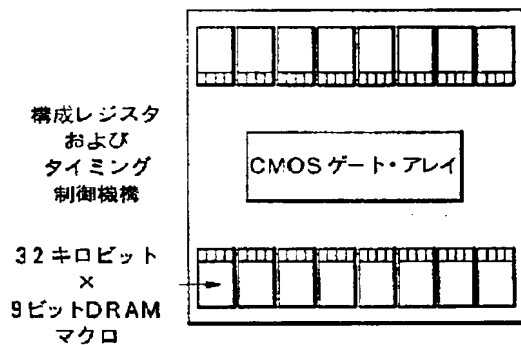
【図33】レジスタ即値(RI)フォーマットを示す図である。

【図34】記憶域間(SS)フォーマットを示す図である。

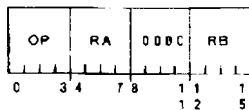
【図35】特殊(SPC1)フォーマットを示す図である。

【図36】特殊(SPC2)フォーマットを示す図である。

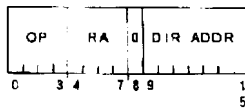
【図3】



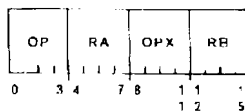
【図30】



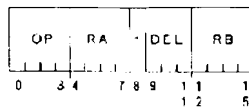
【図31】



【図36】



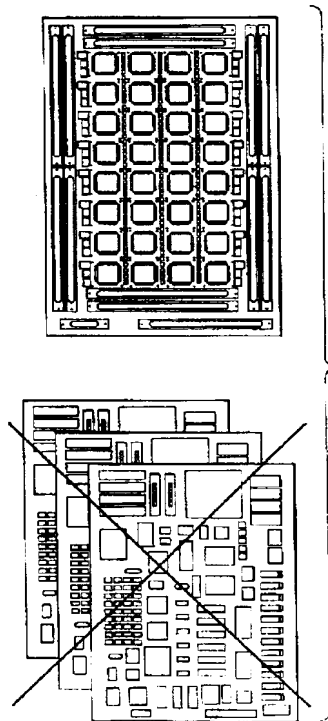
【図32】



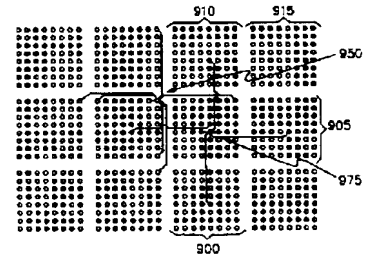
## 【符号の説明】

- 200 アプリケーション・プロセッサ
- 240 デスト・デバッグ・デバイス
- 250 プレイ・ディレクタ
- 300 シングル・プロセッサ・ユニット
- 301 32Kハーフワード・メモリ
- 302 16ビット・プロセッサ
- 310 ネットワーク・カード
- 313 ネットワーク・ルータ
- 314 信号入出力機構
- 405 ALレジスタ
- 406 マルチプレクサ
- 420 メモリ
- 460 演算論理機構
- 630 アプリケーション・プロセッサ・インタフェース
- 640 クラスタ制御装置
- 650 クラスタ・シンクロナイザ

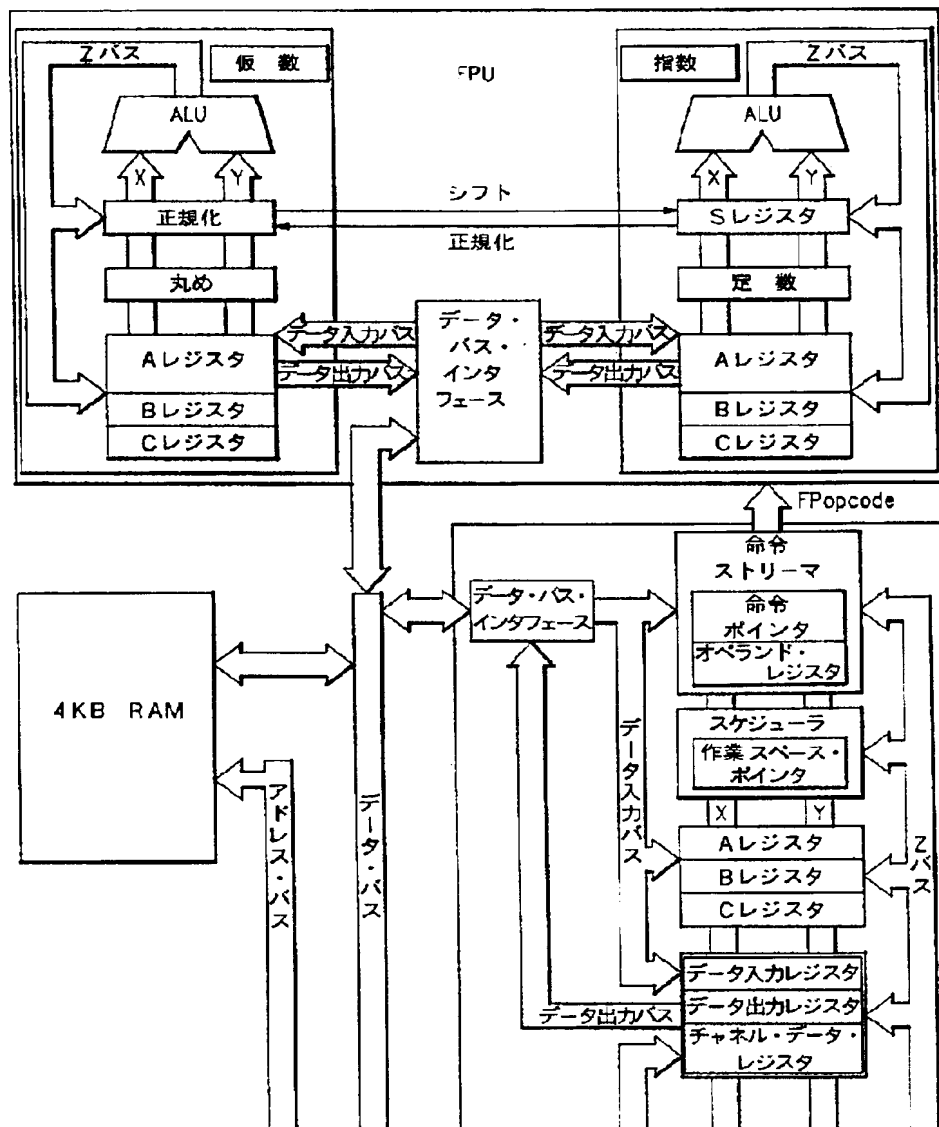
【図4】



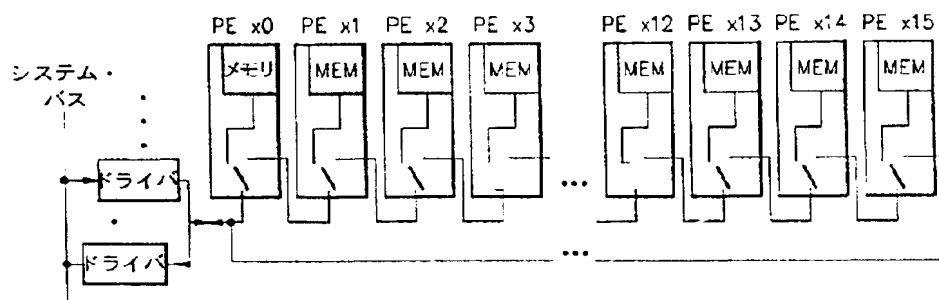
【図18】



【図 1】

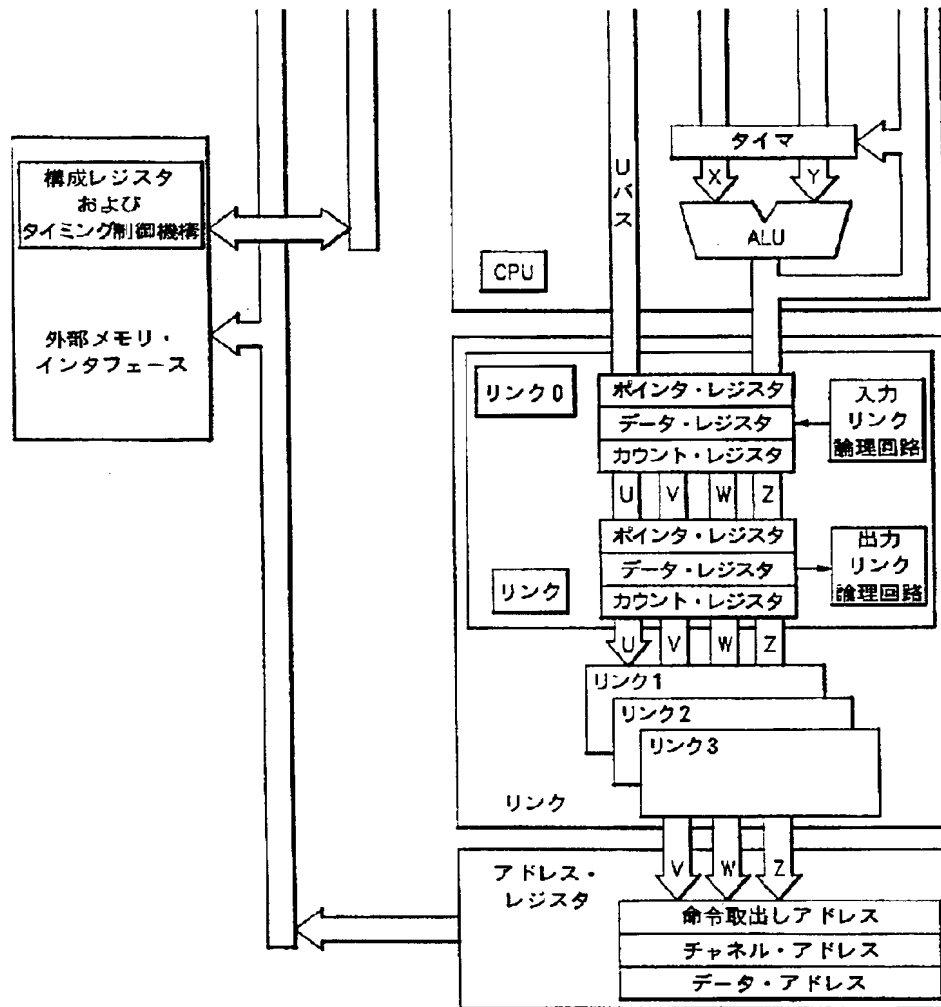


【図 15】

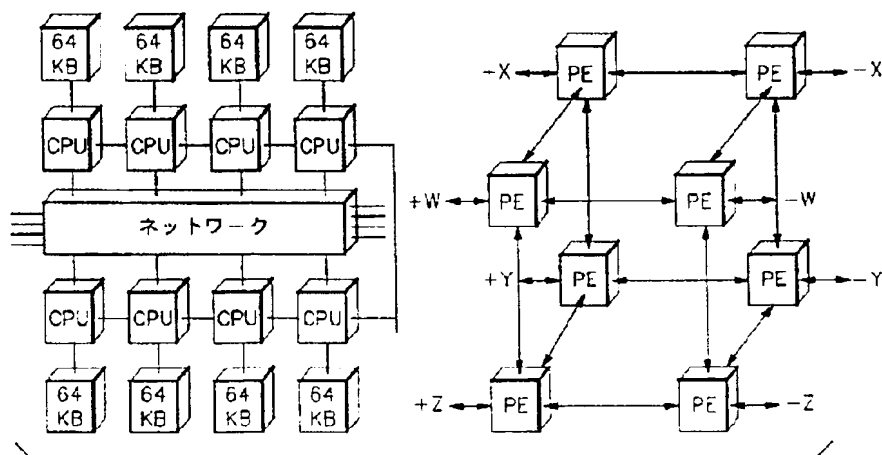




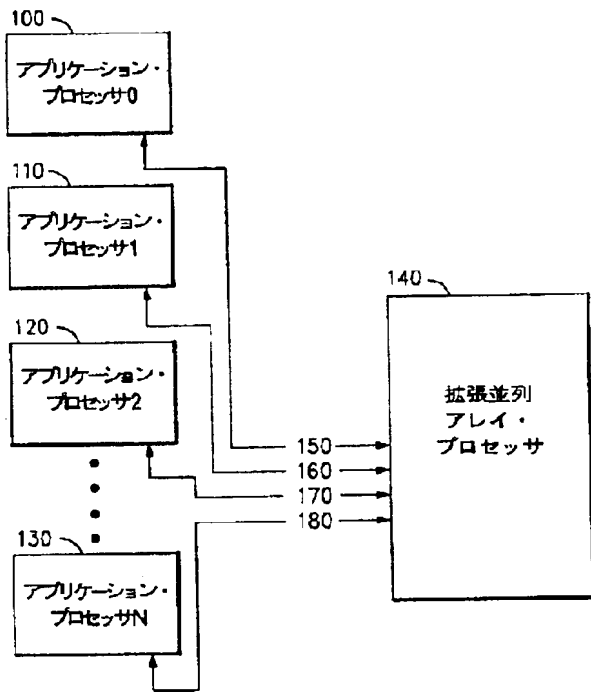
【図2】



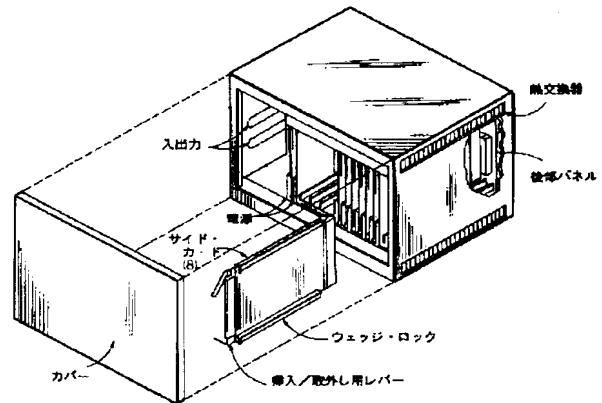
【図11】



【図5】

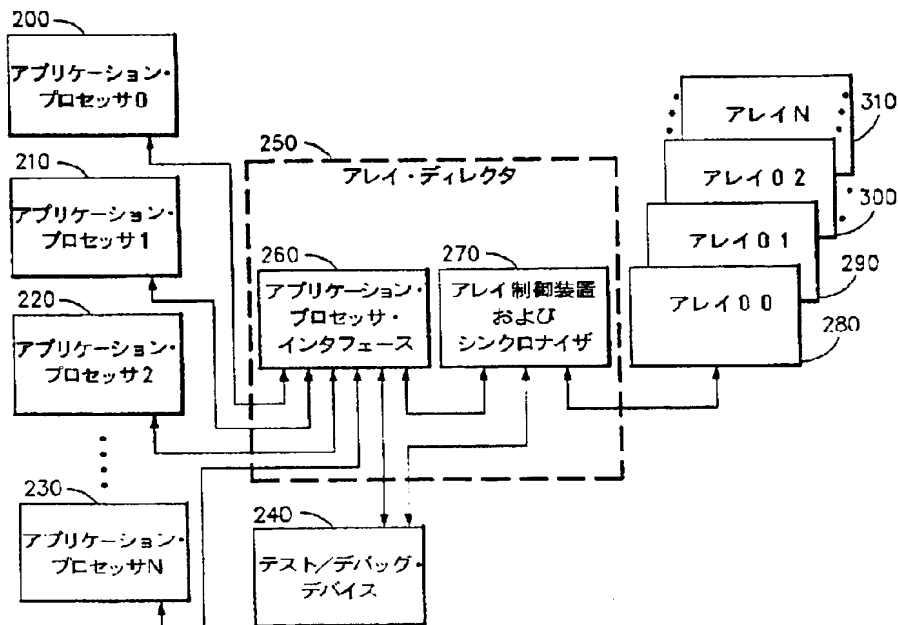


【図28】

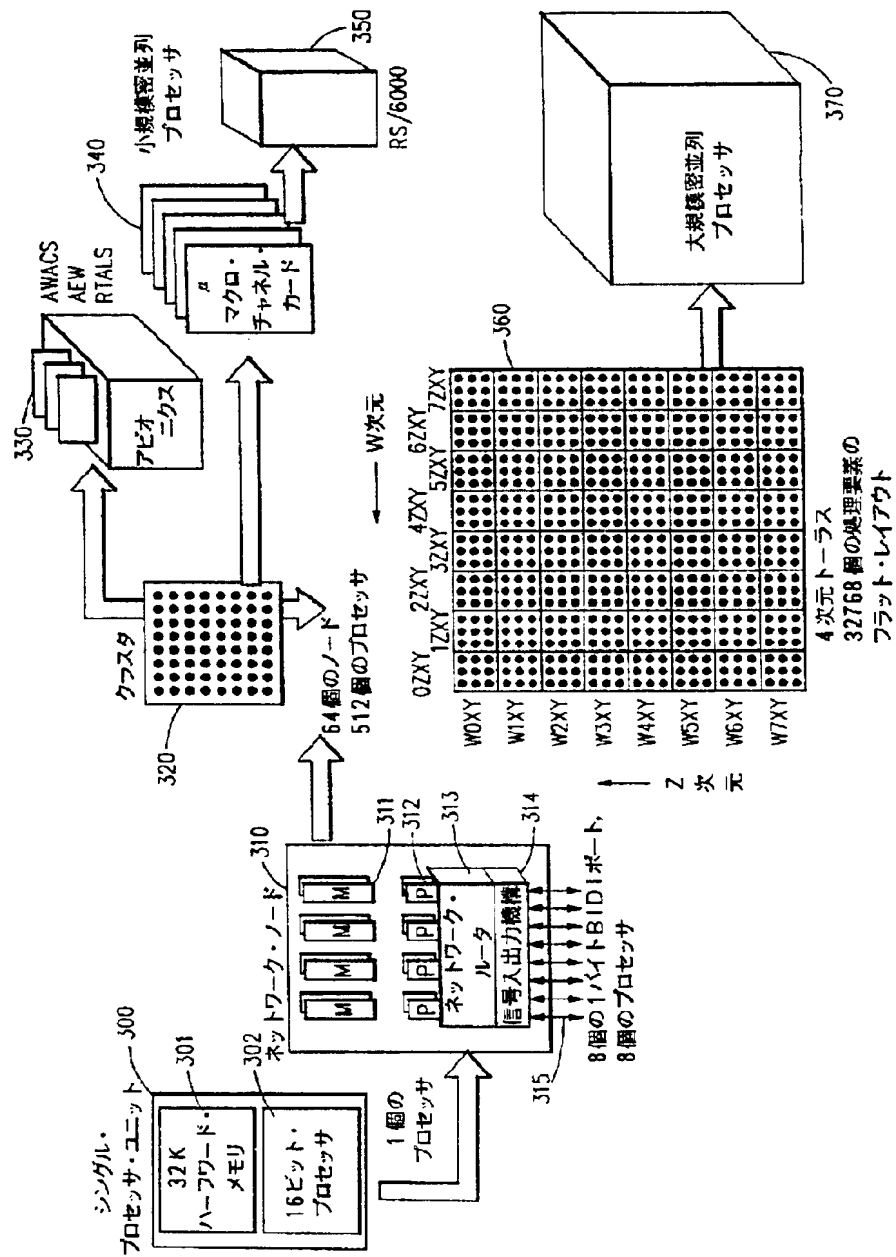


アーキテクチャ: SIMD/MIMD  
並列プロセッサ512個  
記憶域: 32MB  
性能: 毎秒25億命令  
規格: MIL-E-5400  
容積: 0.5立方フィート  
重量: 80.48ポンド  
電力: 280W  
拡張: プロセッサを512個  
追加可能(+2.5BOPS)  
32MBの記憶域を増設可能

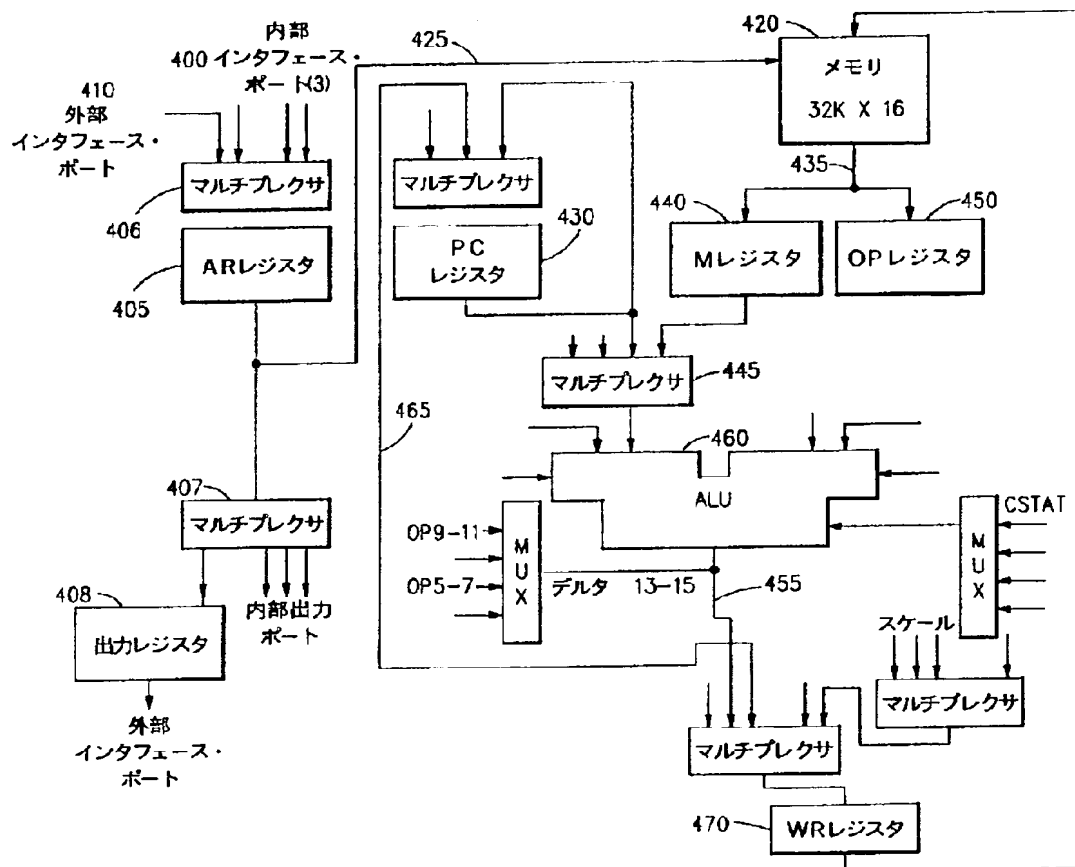
【図6】



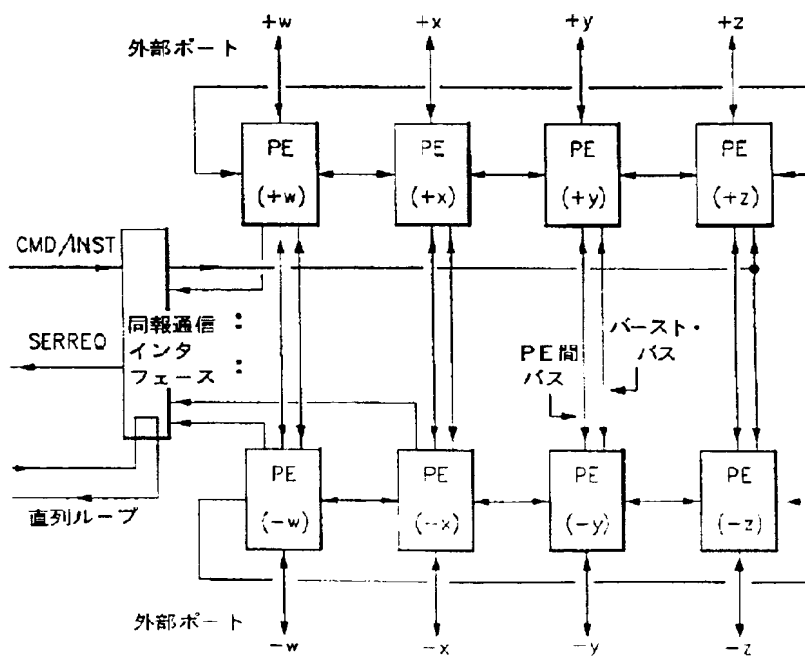
【図 7】



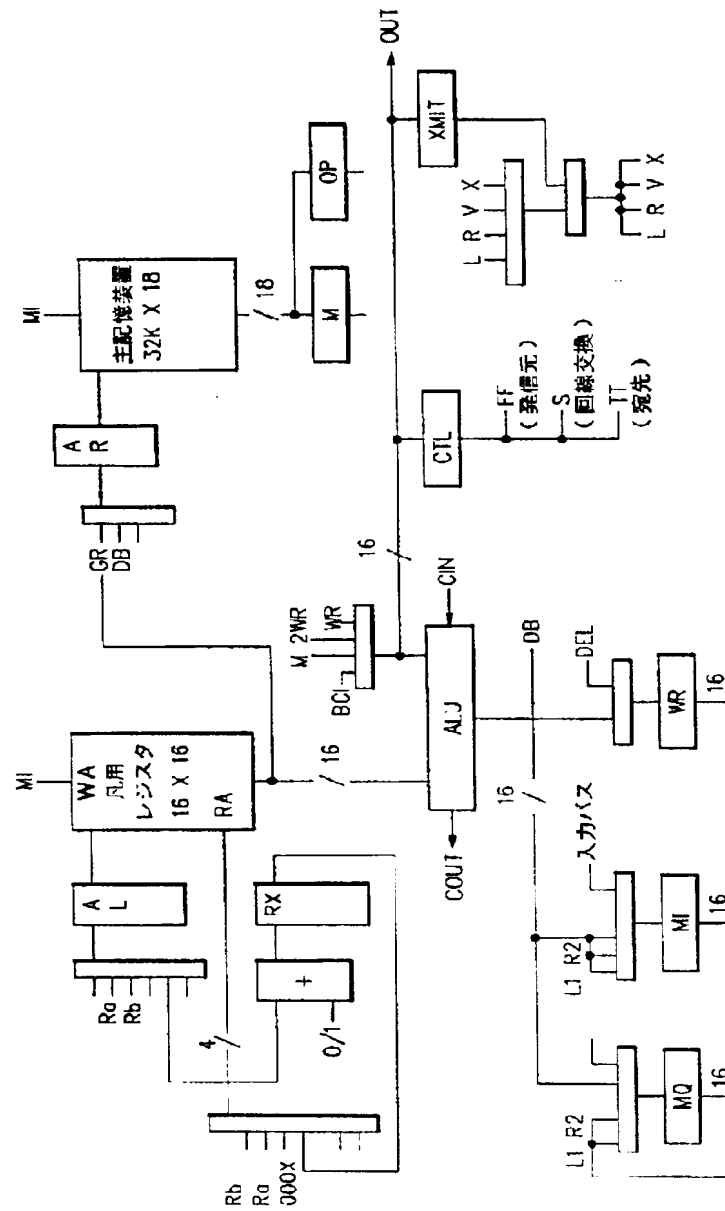
【図8】



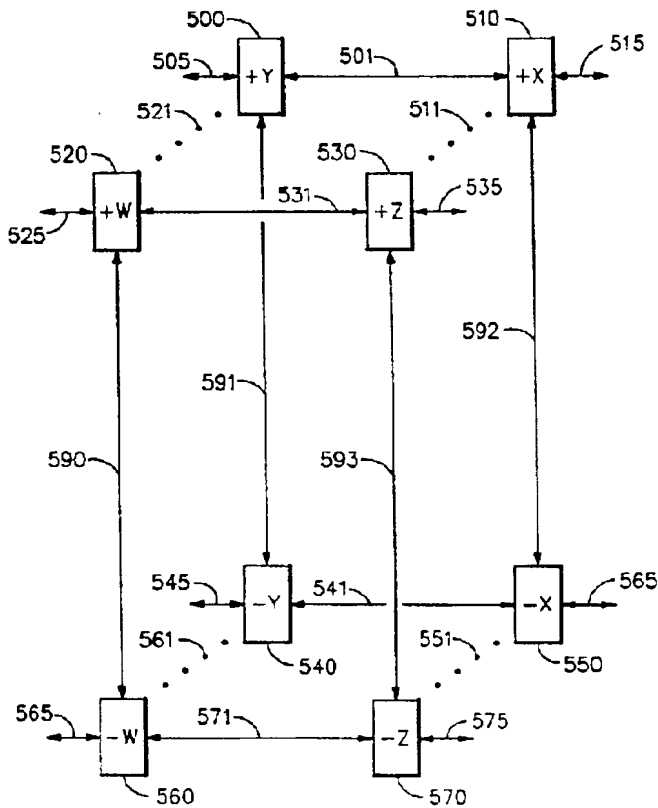
【図12】



【図 9】

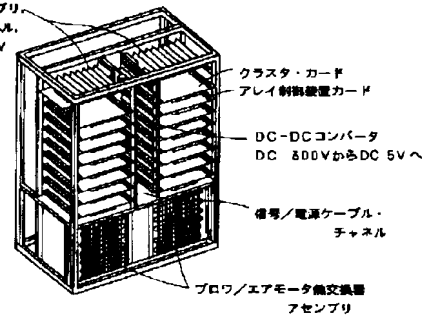


【図 10】

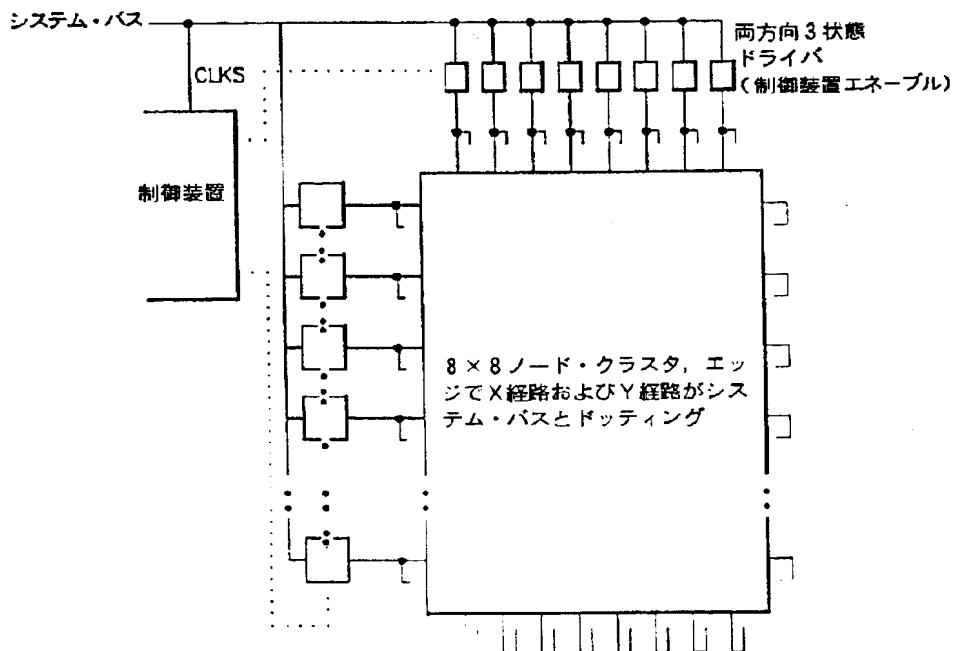


【図 29】

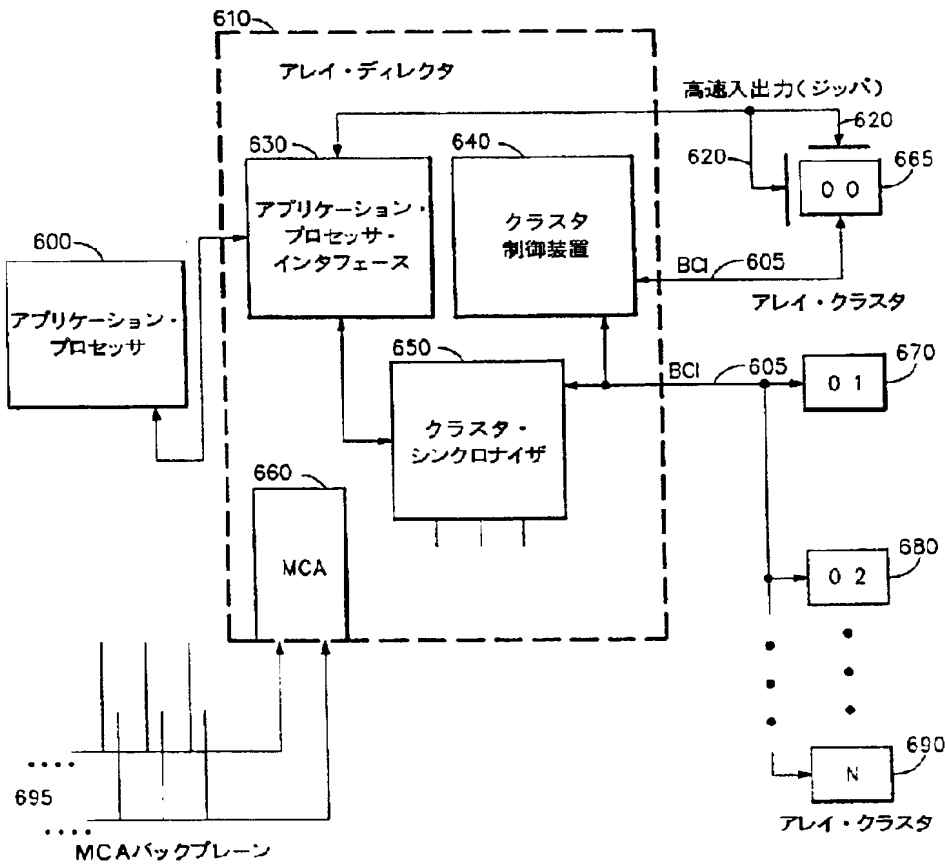
フィーチャ・カード・アセンブリ、  
IBMタイプ・カード、後部パネル、  
DC-DCコンバータ、DC 500V  
から 5V および ±12V へ



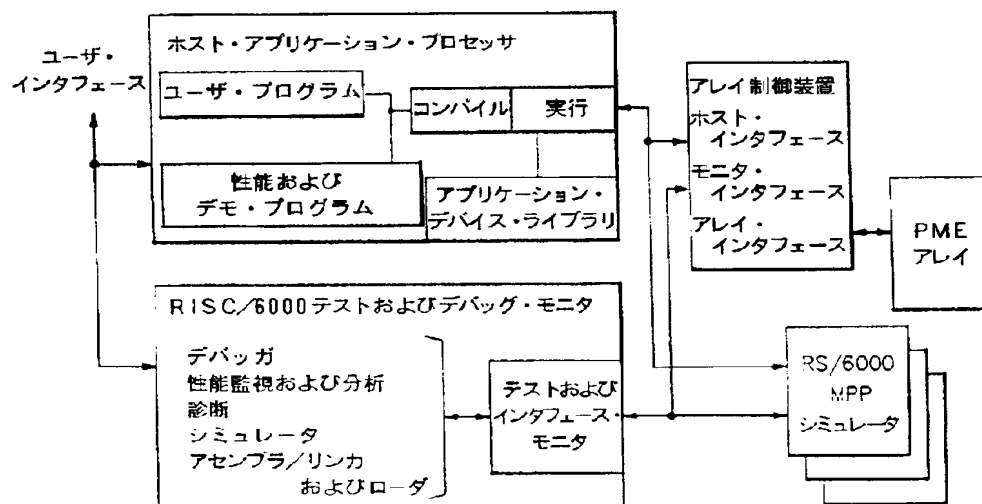
【図 14】



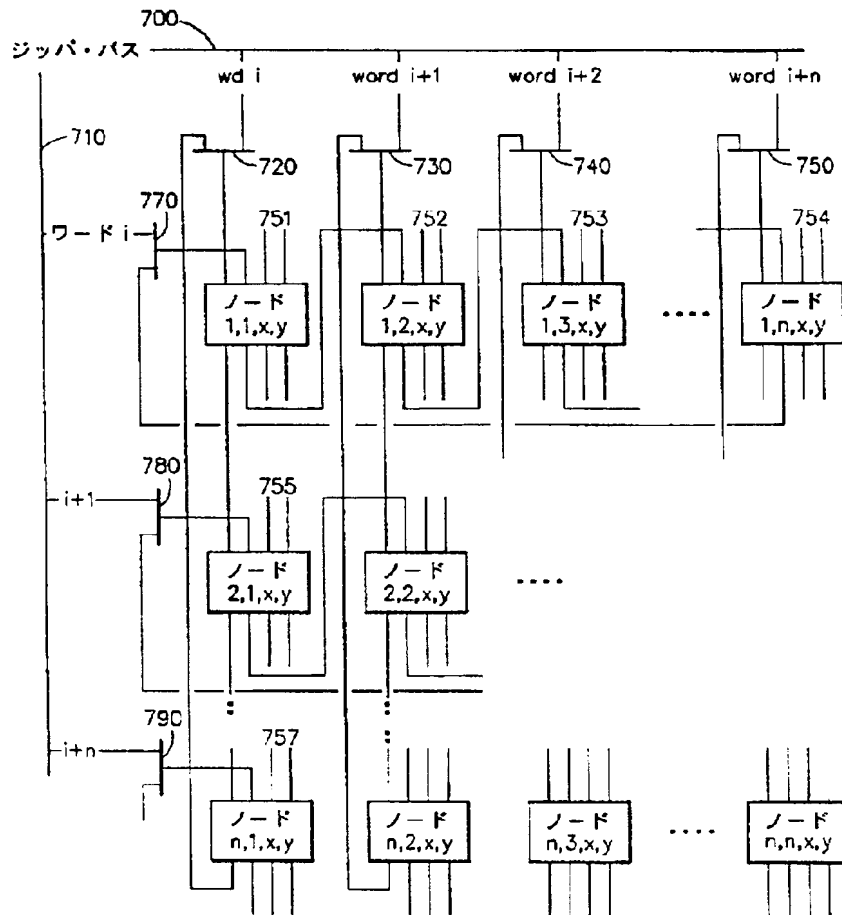
【図 13】



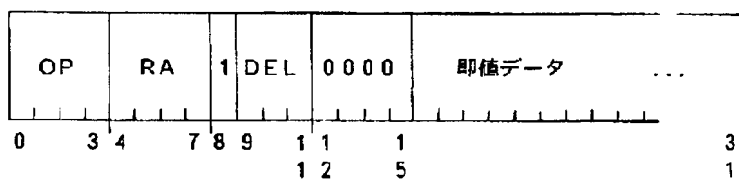
【図 21】



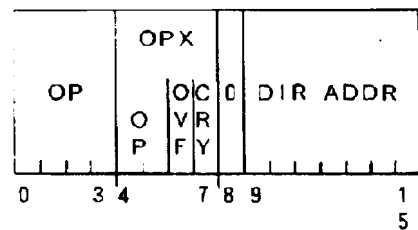
【図16】



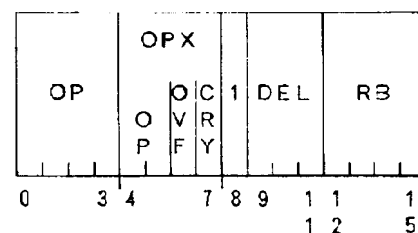
【図33】



【図34】



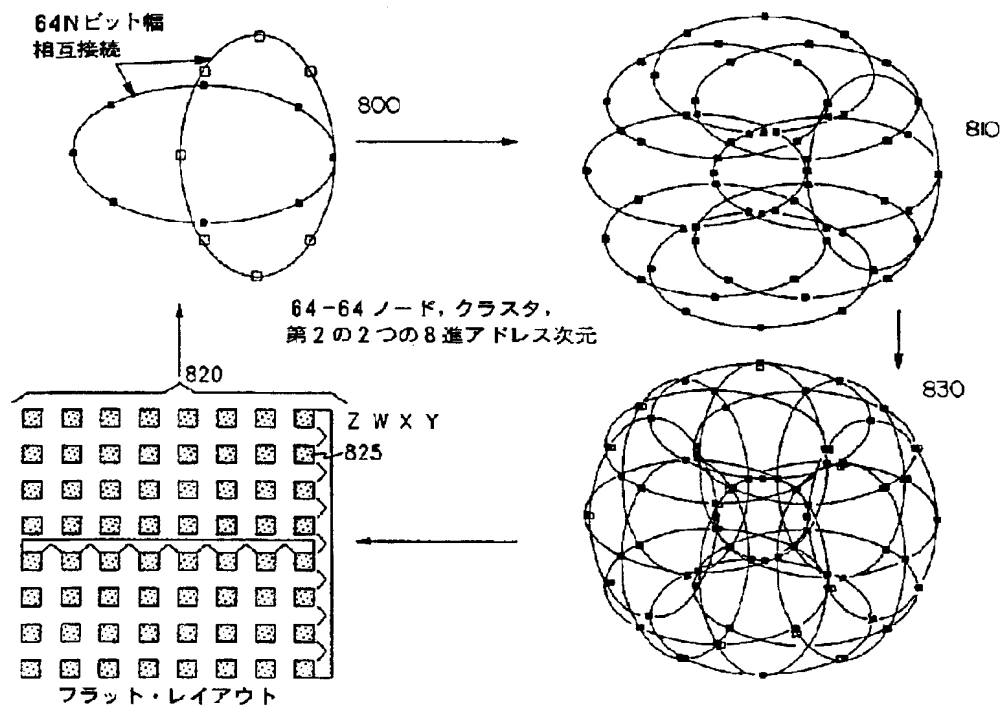
直接  
アドレス  
形式



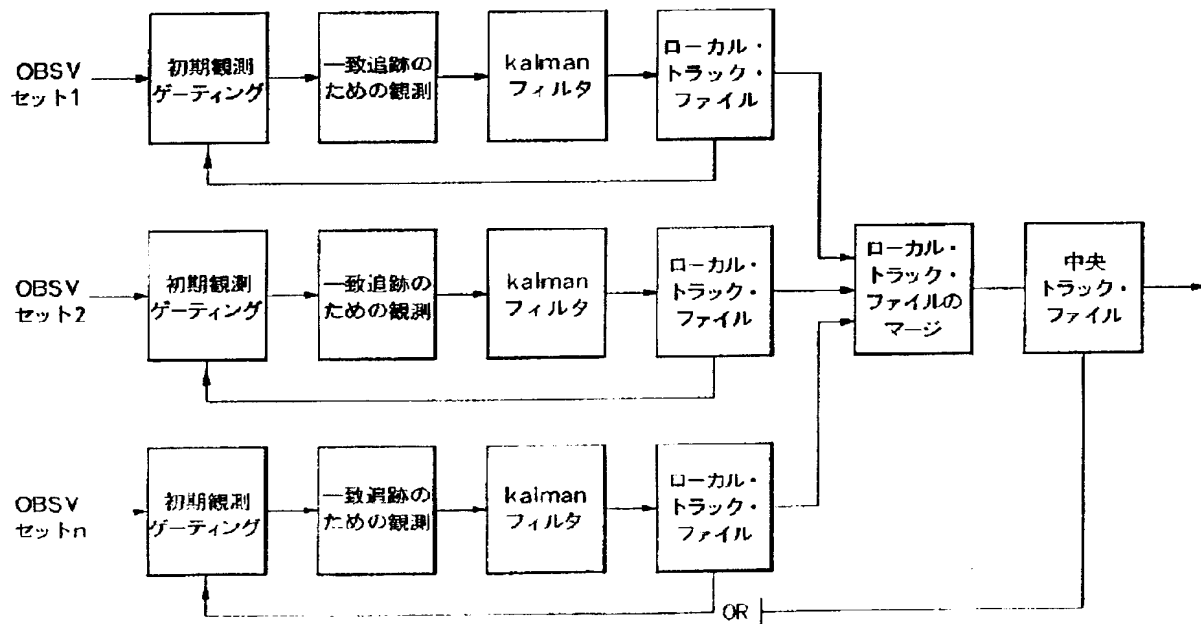
記憶域  
アドレス  
形式



【図17】

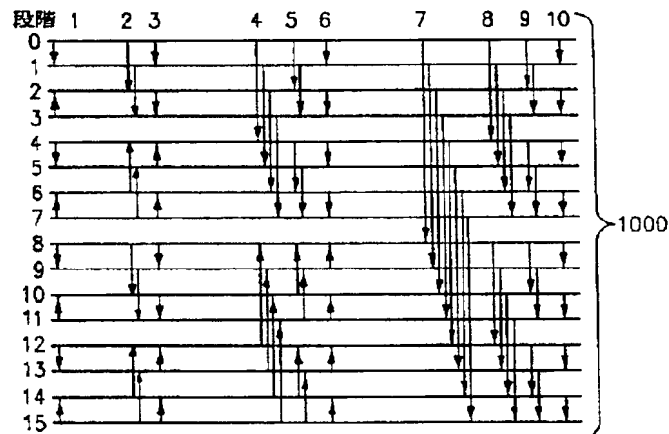


【図25】



【図 19】

16要素分類がパターンをどう繰り返すか



FOR SORTING  $n$  DATA ELEMENTS ( $n \in \{2^i : i \in \mathbb{N}, 2^i \leq \# \text{ OF PE'S}\}$ )

do  $i = 0$  to  $(\log_2 n) - 1$     do  $J = 0$  to 1

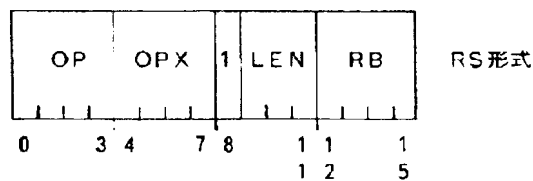
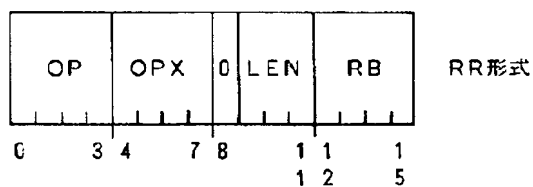
    if  $(\text{PE\#}/2^i - J) \% 2 = 0$   
         then  $\text{TARGET} = \text{PE\#} + 2^i - J$       else  $\text{TARGET} = \text{PE\#} - 2^i - J$   
     send DATA to TARGET  
     receive data store in TEMP (If data is not available - wait)

    if  $(2((\frac{\text{PE\#}}{2^i+1}) \% 2) + ((\frac{\text{PE\#}}{2^i+1}) \% 2) + 1) \% 2 = 0$

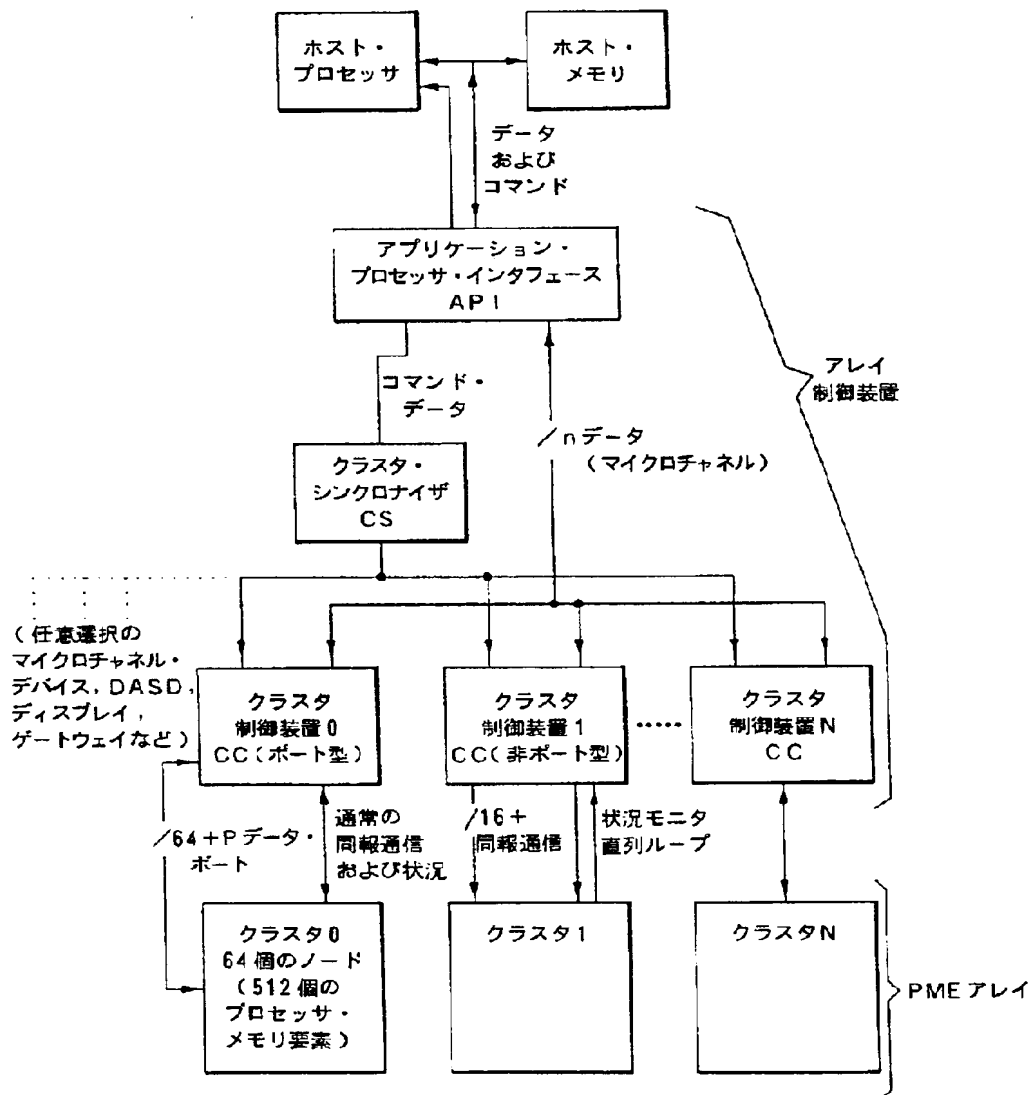
        then if  $\text{TEMP} < \text{DATA}$  then  $\text{DATA} = \text{TEMP}$  else NOP  
         then if  $\text{TEMP} > \text{DATA}$  then  $\text{DATA} = \text{TEMP}$  else NOP

    end bothe do's

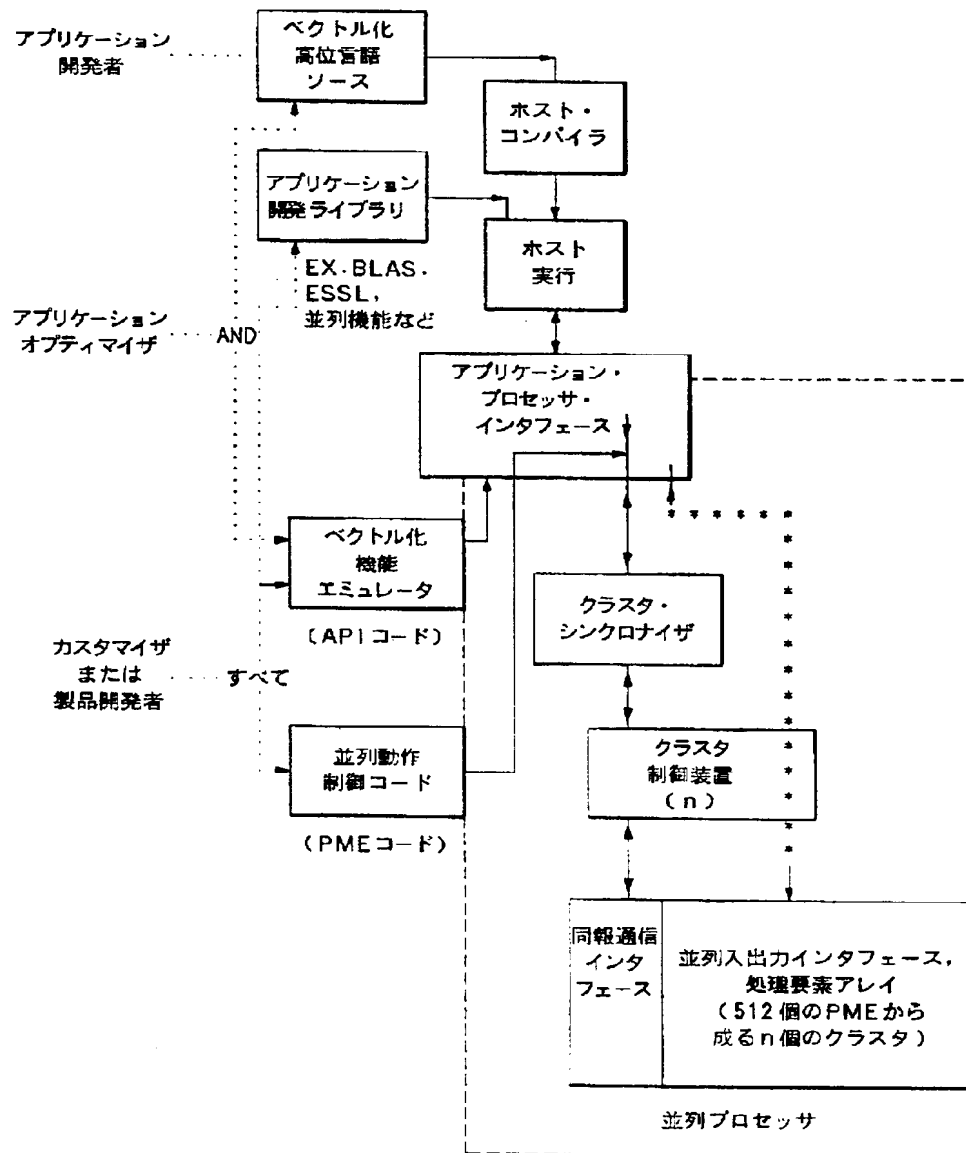
【図 35】



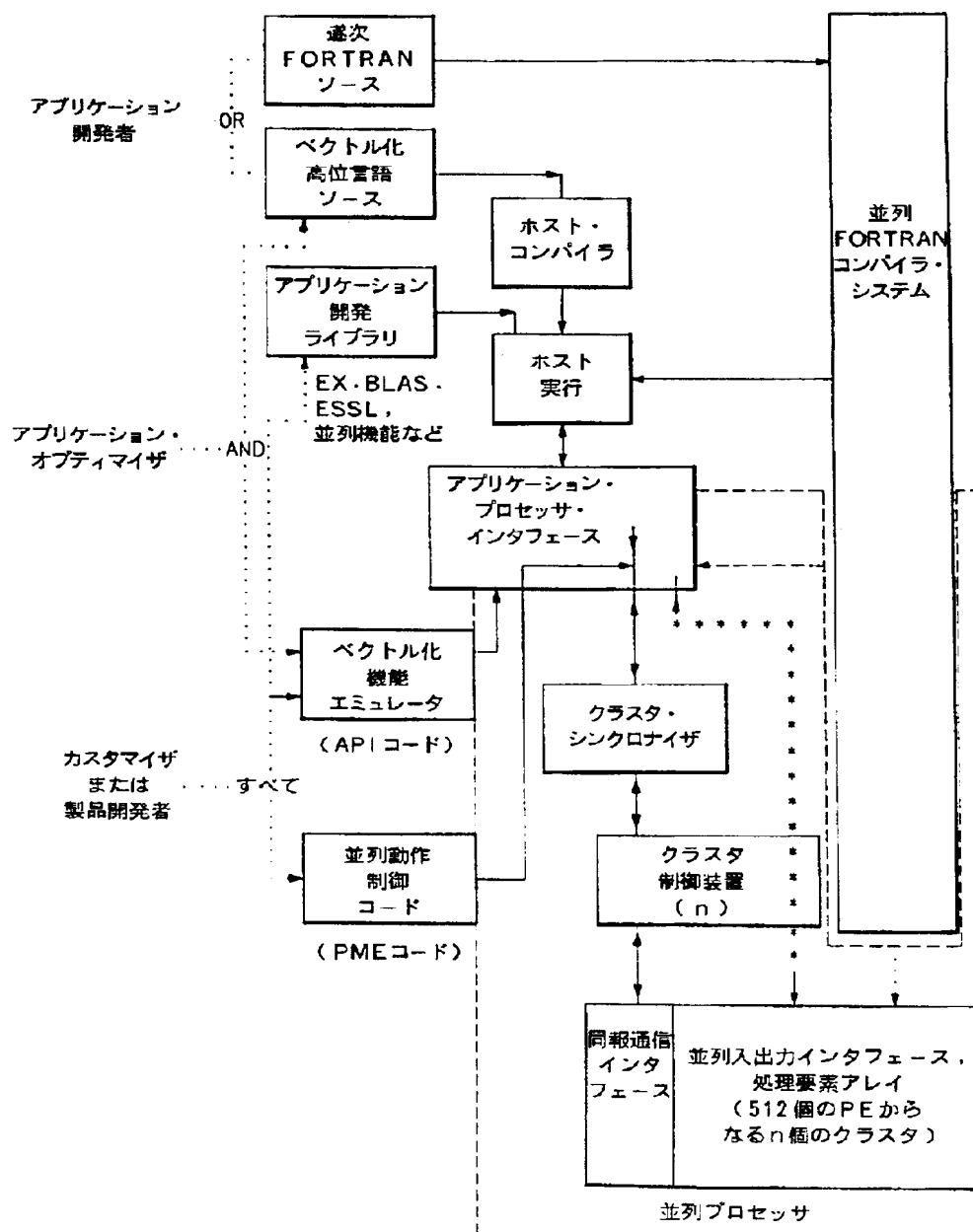
【図20】



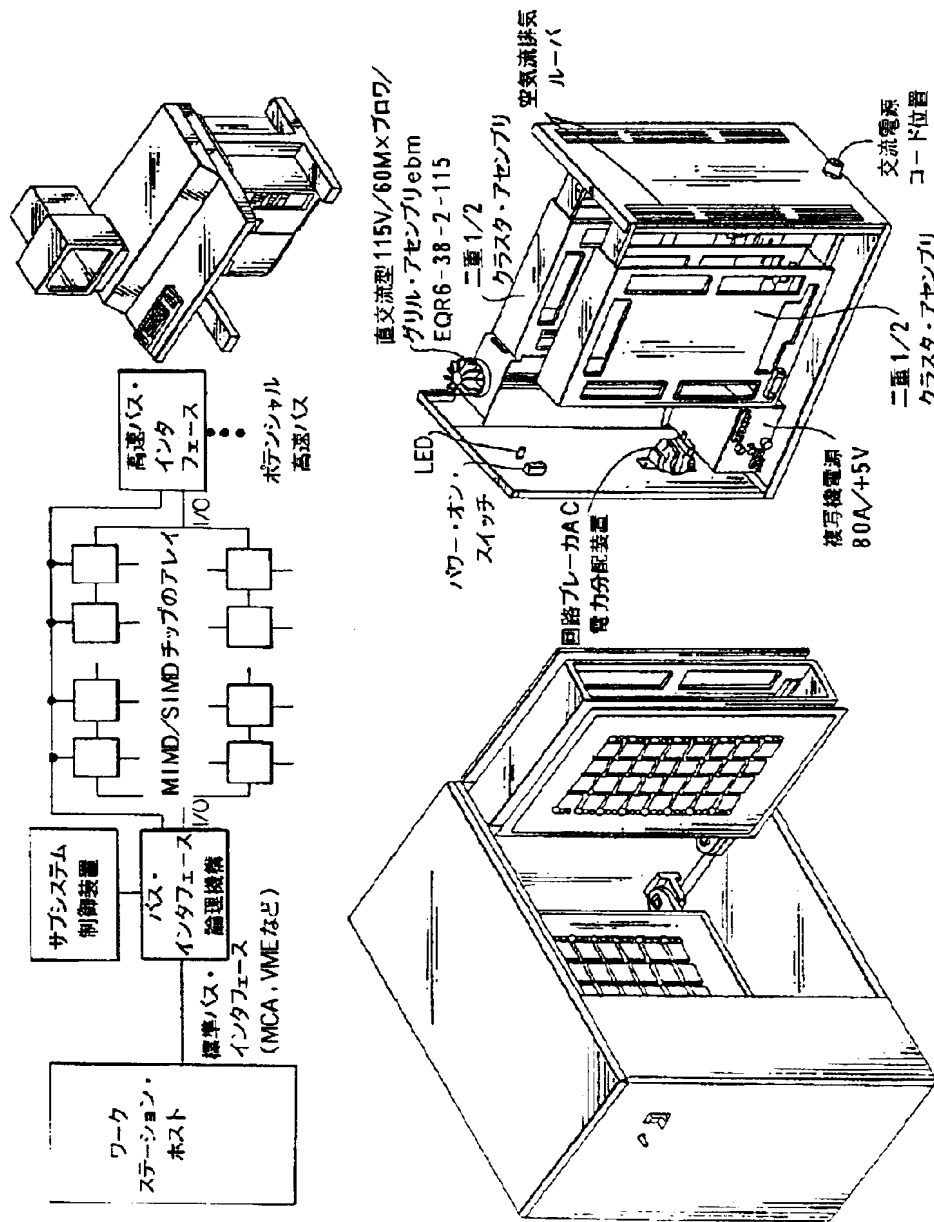
【図 22】



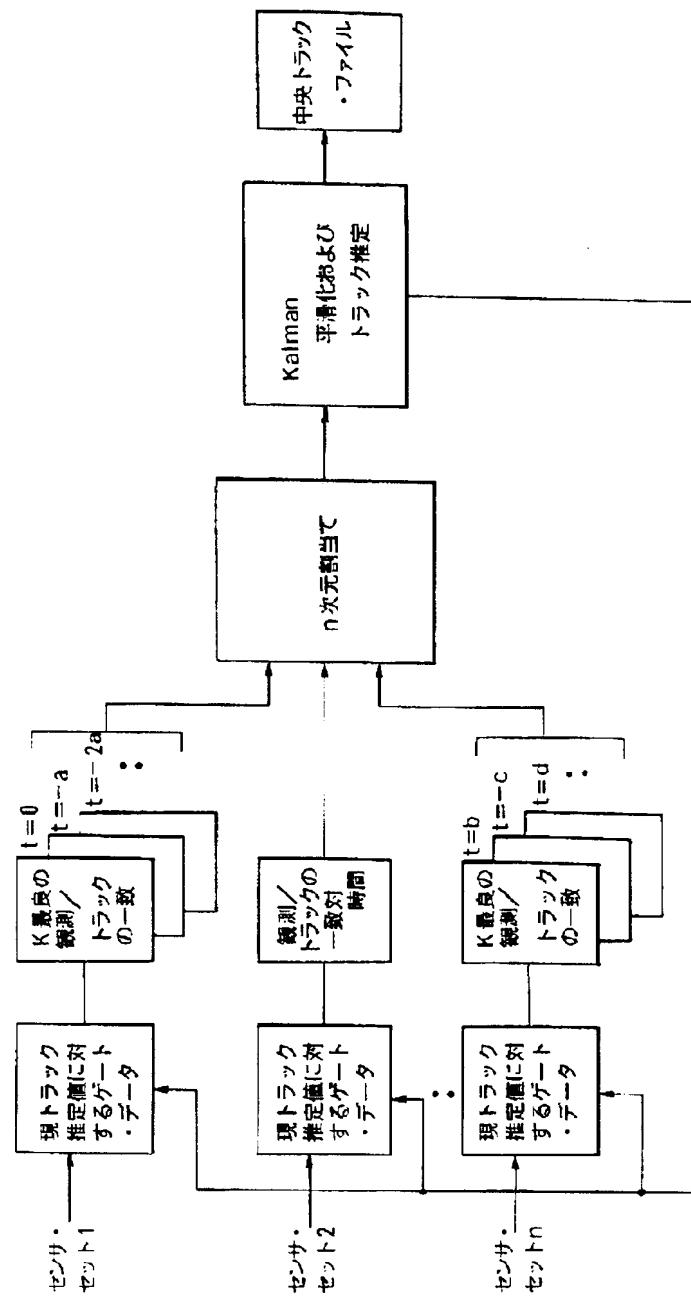
【図23】



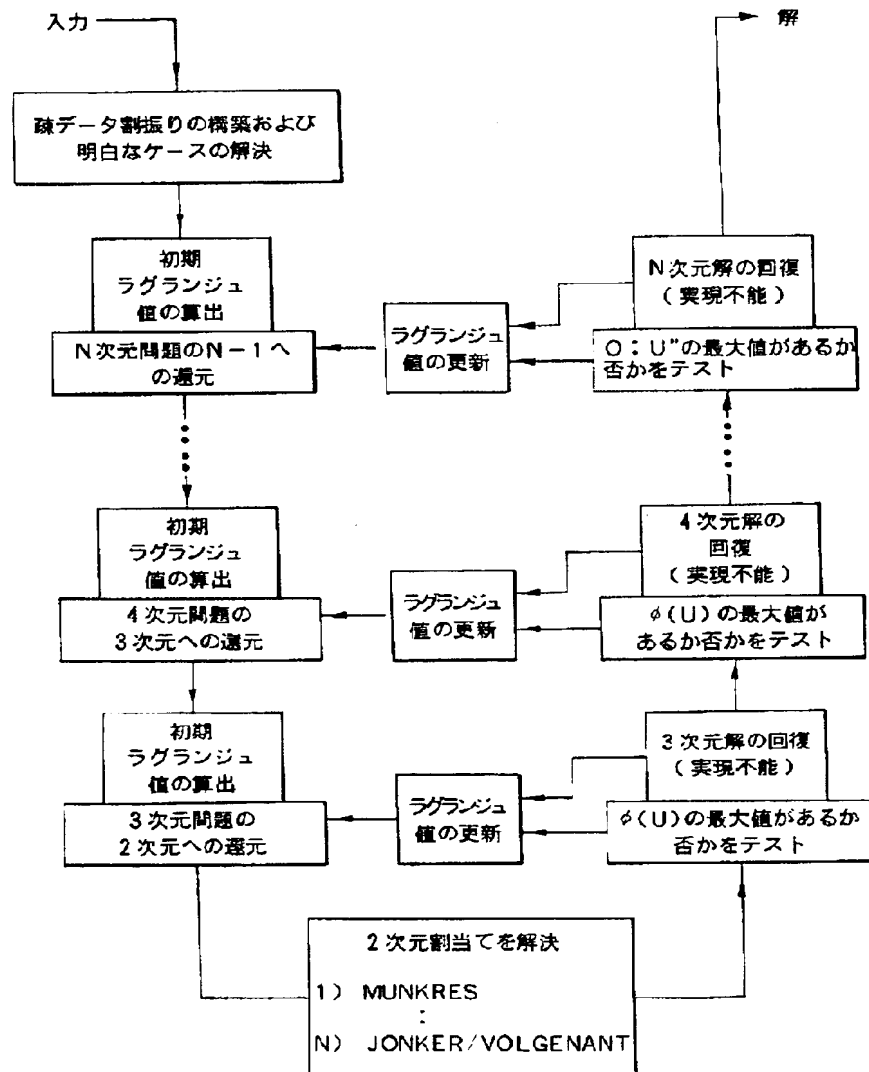
【図 24】



【図 26】



【図27】



フロントページつ続き

(72) 発明者 カサノバ・ゲラン・マリニエ  
フランス共和国12601、パリ、11、クサ  
ボ・ディ・マレン、モンパルナ・トラヤ

(72) 発明者 ヌイケル・ゲラン・マリニエ  
フランス共和国13760、パリ、11、クサ  
ボ・ディ・マレン、モンパルナ・トラヤ

(72) 発明者 ヌイケル・ゲラン・マリニエ  
フランス共和国13847、パリ、11、クサ  
ボ・ディ・マレン、モンパルナ・トラヤ

(72) 発明者 トサット・ジョージ・グザイス  
フランス共和国12401、パリ、11、クサ  
ボ・ディ・マレン、モンパルナ・トラヤ

(72) 発明者 ヌイケル・ゲラン・マリニエ  
フランス共和国13760、パリ、11、クサ  
ボ・ディ・マレン、モンパルナ・トラヤ

(72) 発明者 ヌイケル・ゲラン・マリニエ  
フランス共和国13847、パリ、11、クサ  
ボ・ディ・マレン、モンパルナ・トラヤ



- (72) 発明者     ビリー・ジャック・スウルズ  
アメリカ合衆国12401、ニューヨーク州  
キングストン、ハーレー・アベニュー  
72
- (72) 発明者     ドナルド・マイケル・レスマイスター  
アメリカ合衆国13850、ニューヨーク州  
ヴェスタル、コリンズ・ヒル・ロード  
108エイ
- (72) 発明者     リチャード・アーネスト・マイルズ  
アメリカ合衆国13732、ニューヨーク州  
アパラチン、ハイランド・ドライブ 8
- (72) 発明者     リチャード・エドワード・サイヤー  
アメリカ合衆国13732、ニューヨーク州  
アパラチン、フォレスト・ヒル・ロード  
109
- (72) 発明者     エリック・ニージン・レター  
アメリカ合衆国18851、ペンシルバニア  
州ウォレン・センター、エイチ・シー・  
アール34、ボックス29ビー
- (72) 発明者     ロバート・レイアスト・リチャードソン  
アメリカ合衆国13850、ニューヨーク州  
ヴェスタル、ヘーゲン・ロード、アール  
・デュー2、ボックス81

- (72) 発明者     デーヴィッド・ブルース・ロルフ  
アメリカ合衆国12491、ニューヨーク州  
ウェスト・ハーレー、パイン・トリー・  
ロード 24
- (72) 発明者     ニコラス・ジェローム・ショー・ヴァー  
アメリカ合衆国13845、ニューヨーク州  
タリオガ・センター、ビー・オー・ボック  
ス18
- (72) 発明者     ガンセント・ジョン・スモ・ラル  
アメリカ合衆国13760、ニューヨーク州  
エンドウェル、スカイレーン・テラス  
812
- (72) 発明者     ジェームズ・ロバート・スタップ  
アメリカ合衆国13760、ニューヨーク州  
エンドウェル、マダリア・ストリート  
2742
- (72) 発明者     ボール・アンバ・ウォルキンソン  
アメリカ合衆国13732、ニューヨーク州  
アパラチン、フォレスト・ヒル・ロード  
544
- (56) 参考文献     特開 昭44-14106 (J P, A)